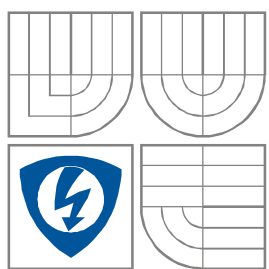


VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ  
BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH  
TECHNOLOGIÍ  
ÚSTAV RADIOELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION  
DEPARTMENT OF RADIO ELECTRONICS

# DIGITÁLNÍ MODULÁTOR PRO VÍCESTAVOVÉ MODULACE

HIGH ORDER MODULATION DIGITAL MODULATOR

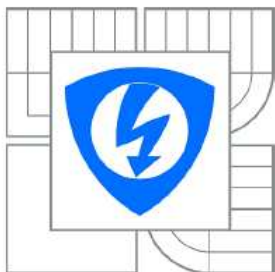
DIPLOMOVÁ PRÁCE  
MASTER'S PROJECT

AUTOR PRÁCE  
AUTHOR

Bc. Josef Žižka

VEDOUCÍ PRÁCE  
SUPERVISOR

doc. Ing. Jiří Šebesta, Ph.D.



VYSOKÉ UČENÍ  
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky  
a komunikačních technologií

Ústav radioelektroniky

# Diplomová práce

magisterský navazující studijní obor  
**Elektronika a sdělovací technika**

**Student:** Bc. Josef Žižka  
**Ročník:** 2

**ID:** 106899  
**Akademický rok:** 2011/2012

## NÁZEV TÉMATU:

**Digitální modulátor pro vícecestavové modulace**

## POKYNY PRO VYPRACOVÁNÍ:

Prostudujte možnosti řešení digitálního modulátoru pro vícecestavové modulace s obvodem AD9957 pro frekvenci nosné 140 MHz. Navrhněte blokové schéma modulátoru a způsob ovládání a komunikaci s PC. Navrhněte zapojení modulátoru a desku plošných spojů. Provedte podrobný rozbor řízení modulátoru. Modulátor osadte a oživte. Sestavte a odladte příslušný firmware a aplikační program pro PC. Provedte komplexní testování parametrů modulátoru s využitím integrovaného generátoru pseudonáhodných posloupností dat.

## DOPORUČENÁ LITERATURA:

[1] AD9957: 1 GSPS Quadrature Digital Upconverter with 18-Bit I/Q Data Path and 14-Bit DAC. Data Sheet [online]. Norwood: Analog Devices Inc.- [cit. 1.12.2007]. Dostupné na [www: http://www.analog.com/static/imported-files/Data\\_Sheets/AD9957.pdf](http://www.analog.com/static/imported-files/Data_Sheets/AD9957.pdf)

[2] ŽALUD, V. Moderní radioelektronika. BEN - technická literatura. Praha, 2004.

**Termín zadání:** 6.2.2012

**Termín odevzdání:** 18.5.2012

**Vedoucí práce:** doc. Ing. Jiří Šebesta, Ph.D.

**Konzultanti diplomové práce:**

**prof. Dr. Ing. Zbyněk Raida**  
*Předseda oborové rady*

## UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

Výzkum realizovaný v rámci této diplomové práce byl finančně podpořen projektem  
CZ.1.07/2.3.00/20.0007 **Wireless Communication Teams**  
operačního programu **Vzdělávání pro konkurenceschopnost**.



INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ

Finanční podpora byla poskytnuta Evropským sociálním fondem  
a státním rozpočtem České republiky.

## **ABSTRAKT**

Cílem této práce je seznámit čtenáře se základním principem a možnostmi řešení digitálního modulátoru pro vícecestavové modulace s integrovaným obvodem AD9957 od firmy Analog Devices. Navrhnout blokové i konkrétní schéma modulátoru a celé zařízení zrealizovat. Dále se zabývá využitím standardního rozhraní USB ke komunikaci, ovládání a přenosu dat mezi modulátorem a ovládacím počítačem. Práce popisuje jednotlivé bloky navrženého zařízení, desku plošných spojů, vytvořený firmware a aplikační program pro snadné ovládání pomocí PC. V závěru práce jsou popsány některé výsledky měření a zhodnoceny dosažené výsledky.

## **KLÍČOVÁ SLOVA**

Digitální modulátor, vícecestavová digitální modulace, USB, FPGA.

## **ABSTRACT**

The object of this work is to meet readers with the basic principle and solution of high order digital modulator with integrated circuit AD9957 produced by the company Analog Devices. Block diagram and final scheme of the modulator and device construction is presented. Standard USB interface for communication, control and data transmission between modulator and host represented by personal computer is applied. The project describes following parts of the designed system: PCB layout, control firmware of MCU and application program running under PC. In the conclusion, chosen results of measurement are described and evaluated.

## **KEYWORDS**

Digital modulator, High order digital modulation, USB, FPGA.

ŽIŽKA, J. *Digitální modulátor pro vícecestavové modulace*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií. Ústav radioelektroniky, 2012. 45 s., 20 s. příloh. Diplomové práce. Vedoucí práce: doc. Ing. Jiří Šebesta, Ph.D.

## PROHLÁŠENÍ

Prohlašuji, že svou diplomovou práci na téma Digitální modulátor pro vícecestavové modulace jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne .....

.....

(podpis autora)

## PODĚKOVÁNÍ

Děkuji vedoucímu diplomové práce doc. Ing. Jiřímu Šebestovi, Ph.D. za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé diplomové práce.

V Brně dne .....

.....

(podpis autora)

# OBSAH

<b>Seznam obrázků</b>	<b>ix</b>
<b>Seznam tabulek</b>	<b>x</b>
<b>Úvod</b>	<b>1</b>
<b>1 Diskrétní modulace s nosnými vlnami</b>	<b>2</b>
1.1 Princip vzniku digitální modulace .....	2
1.2 Dvoustavové (binární) diskrétní modulace .....	4
1.3 Vícestavové diskrétní modulace .....	5
1.4 Měření parametrů digitální modulace .....	7
<b>2 Realizace digitálního modulátoru</b>	<b>9</b>
2.1 Blokové schéma .....	9
2.2 Popis jednotlivých bloků .....	11
2.2.1 AD9957 .....	11
2.2.2 FPGA modul .....	16
2.2.3 FIFO .....	18
2.2.4 Analogový filtr a výstup .....	18
2.2.5 Mikrokontrolér .....	18
2.2.6 FT2232H .....	18
2.2.7 Napájecí zdroj .....	19
2.2.8 Ostatní části modulátoru .....	20
2.3 Deska plošných spojů .....	21
2.4 Princip modulace navrženým modulátorem .....	22
2.5 Způsob připojení zařízení k PC .....	23
2.6 Nastavení a ovládání modulátoru, komunikační příkazy .....	24
2.6.1 Komunikace mikrokontroléru s AD9957 .....	24
2.6.2 Komunikace mikrokontroléru s ovládacím PC .....	25
2.6.3 Funkce propojek a umístění některých pinů na DPS .....	27
2.7 Popis software .....	28
2.7.1 Firmware řídicího mikrokontroléru .....	28
2.7.2 Konfigurace FPGA obvodu .....	31
2.7.3 Konfigurace obvodu FT2232 .....	33

2.7.4	Aplikační program pro PC .....	34
<b>3</b>	<b>MĚŘENÍ VLASTNOSTÍ MODULÁTORU</b>	<b>39</b>
3.1	Měření pomocí digitálního osciloskopu .....	39
3.2	Měření pomocí spektrálního analyzátoru .....	40
<b>4</b>	<b>Závěr</b>	<b>41</b>
	<b>Literatura</b>	<b>43</b>
	<b>Seznam symbolů a zkratk</b>	<b>44</b>
	<b>Seznam příloh</b>	<b>46</b>



# SEZNAM OBRÁZKŮ

Obr. 1.1:	Principiální blokové schéma kvadraturního digitálního modulátoru.....	3
Obr. 1.2:	Přenosová a impulzní charakteristika Raised Cosine filtru. ....	4
Obr. 1.3:	Modulace ASK, FSK a PSK v časové oblasti (převzato z [2]).....	5
Obr. 1.4:	Konstelační diagram PSK modulace (převzato z [3]).....	6
Obr. 1.5:	Konstelační diagram QAM modulace (převzato z [3]).....	7
Obr. 1.6:	Znázornění chybového vektoru.....	8
Obr. 2.1:	Blokové schéma modulátoru.....	10
Obr. 2.2:	Funkční blokové zapojení obvodu AD9957 (převzato z [1]). ....	12
Obr. 2.3:	Rozmístění jednotlivých pinů (převzato z [1]). ....	15
Obr. 2.4:	Podrobné schéma modulátoru AD9957 (převzato z [1]). ....	16
Obr. 2.5:	Provedení modulu TE0300 – top a bottom strana (převzato z [4]).....	16
Obr. 2.6:	Provedení modulu TE0300 – blokové schéma (převzato z [4]). ....	17
Obr. 2.7:	Zapojení DC-DC měniče. ....	19
Obr. 2.8:	Realizovaná deska plošných spojů.....	21
Obr. 2.9:	Časový průběh vstupních vektorů I a Q (převzato z [1]).....	22
Obr. 2.10:	Časový průběh vstupních vektorů I a Q v BFI módu (převzato z [1]). ....	22
Obr. 2.11:	Struktura připojení zařízení k PC.....	23
Obr. 2.12:	Možnosti nastavení jednotlivých propojek na DPS modulátoru.....	27
Obr. 2.13:	Vývojový diagram hlavního programu. ....	29
Obr. 2.14:	Struktura funkce instrukce(). ....	30
Obr. 2.15:	Popis konfigurace FPGA obvodu pomocí vrcholového schématu. ....	31
Obr. 2.16:	Základní nastavení projektu v programu ISE ....	32
Obr. 2.17:	Program FT_Prog pro konfiguraci FT2232 obvodu. ....	33
Obr. 2.18:	Ovládací aplikace - Okno pro výběr zařízení modulátoru. ....	34
Obr. 2.19:	Ovládací aplikace – Okno Control.....	35
Obr. 2.20:	Ovládací aplikace – Okno Profile. ....	37
Obr. 2.21:	Ovládací aplikace – Okno Profile ST. ....	37
Obr. 2.22:	Ovládací aplikace – Okno Serial IO. ....	38
Obr. 2.23:	Ovládací aplikace – Okno Data to RAM a okno OSK Control. ....	38
Obr. 3.1:	Časový průběh signálů SPI sběrnice.....	39
Obr. 3.2:	Přenosová frekvenční charakteristika interpolačního filtru. ....	40

# SEZNAM TABULEK

Tab. 2.1:	Názvy a významy jednotlivých pinů AD9957 .....	13
Tab. 2.2:	Hodnoty dělících odporů pro různá napájecí napětí .....	20
Tab. 2.3:	Názvy jednotlivých vrstev desky plošných spojů .....	21
Tab. 2.4:	Přepínání profilů v závislosti na signálech sběrnice .....	23
Tab. 2.5:	Přehled registrů obvodu AD9957. ....	24
Tab. 2.6:	Struktura menu ovládací aplikace .....	36
Tab. 3.1:	Přehled parametrů při měření přenosové frekvenční charakteristiky filtru .	40

# ÚVOD

Modulátor je zařízení, které určitým způsobem upravuje signály v základním pásmu. Výsledné vytvářené signály mohou být opět situovány do základního pásma, nebo mohou být převedeny na vysokofrekvenční, případně mikrovlnnou, nosnou vlnu. Modulace signálu na nosnou vlnu je vhodná pro dobré využití přenosové kapacity komunikačního kanálu, jelikož v něm lze současně uskutečnit přenos několika nezávislých informačních signálů. Nezastupitelné využití má modulace s nosnými vlnami při rádiovém přenosu. Bez modulace by přenos rádiovým kanálem nebyl možný. Principiálně lze rozlišovat mezi modulací analogovou a digitální a mezi modulací spojitou a diskrétní. Přechod z modulace analogové na digitální přináší mnoho výhod. Digitální modulace například poskytuje vyšší spektrální účinnost a tím i větší přenosovou kapacitu, lepší možnosti zabezpečení dat, kvalitnější přenos dat díky možnosti opravy chyb a další výhody.

Navržený modulátor může být využitelný například pro modulaci signálů Ethernet a následný přenos radiovým prostředím. Nicméně úkolem této práce je vyzkoušet možnosti kvadraturního integrovaného modulátoru AD9957. Přenosová rychlost modulátoru by měla dosáhnout až 10 Msymb/s.

Následující text je členěn do 4 základních částí. První kapitola představuje princip vzniku, měření, základní typy a vlastnosti diskrétních modulací. V této kapitole je rozebráno obecné blokové schéma digitálního modulátoru, jsou zde detailněji rozebrány dvoustavové a víceustavové digitální modulace. Představení navrženého modulátoru je uvedeno v kapitole druhé. Jsou zde popsány jednotlivé bloky blokového schématu jako je modul s FPGA, vyrovnávací paměť FIFO, modulátor AD9957, analogový filtr a výstup, mikrokontrolér ATmega32, převodník FT2232H a zdroj napájecího napětí. Popisu obvodu AD9957 je věnováno podstatně více prostoru než ostatním blokům. Dále je zde popsána navržená deska plošných spojů. Ke konci této kapitoly jsou popsány konkrétní způsoby tvorby modulace, způsob připojení zařízení k PC a komunikační protokol, který je použit pro přenos povelů mezi modulátorem a ovládacím počítačem. Na závěr této kapitoly je představen firmware mikrokontroléru, konfigurace FPGA obvodu, nastavení převodníku FT2232 a popis vytvořeného aplikačního ovládacího programu pro PC. V pořadí třetí kapitola představuje naměřené výsledky při praktickém zkoušení zhotoveného modulátoru. Kapitola čtvrtá představuje shrnutí dosažených výsledků a naznačení možného budoucího postupu ve vývoji zařízení.

V příloze jsou zobrazena všechna navržená schémata jednotlivých částí modulátoru s konkrétními hodnotami použitých součástek, návrh desky plošných spojů, osazovací plán desky plošných spojů, seznam použitých součástek a mechanických komponentů, fotografie realizovaného zařízení a přehled významu jednotlivých bitů v registrové mapě modulátoru AD9957.

# 1 DISKRÉTNÍ MODULACE S NOSNÝMI VLNAMI

V následující kapitole je vysvětlen základní princip vzniku digitální modulace, jsou zde představeny některé vlastnosti a druhy digitálních modulací. Dále se tato kapitola zabývá základním měřením digitální modulace. Celá kapitola je rozdělena do čtyř částí.

Pod pojmem „digitální modulace“ si lze představit dva odlišné procesy. Prvním je „digitální modulace v základním pásmu“, který je mnohdy nazýván „kódováním“. Kódování v základním pásmu se nejčastěji používá pro přenos informací po metalickém, případně optickém vedení. Pro přenos rádiovým kanálem je tento druh modulace téměř nepoužitelný. Naopak druhý proces, kterým je „digitální modulace s nosnými vlnami“, je vhodný právě pro přenos informací v rádiovém prostředí. V této práci je pod pojmem modulace myšlena modulace na nosnou vlnu.

## 1.1 Princip vzniku digitální modulace

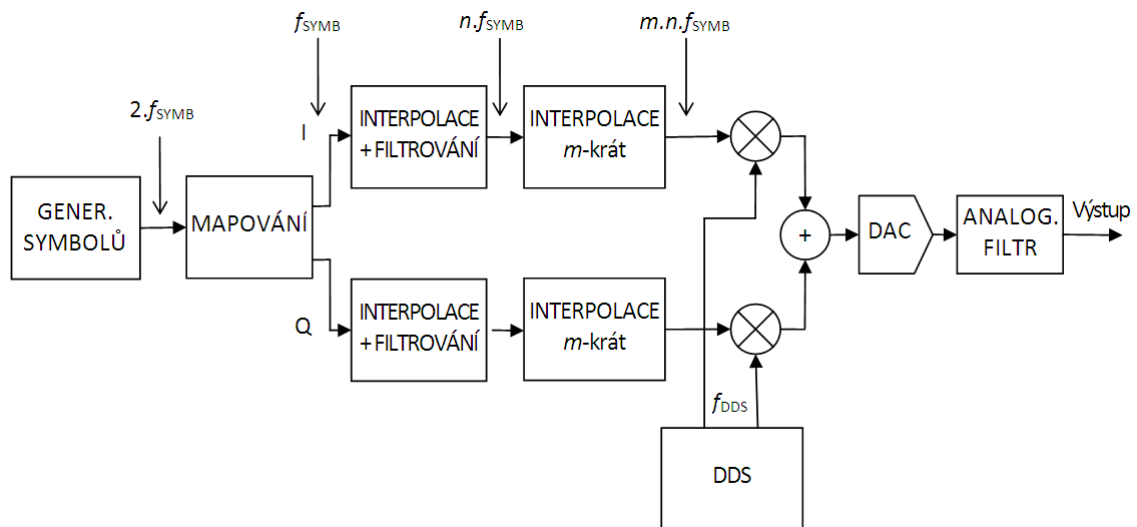
Diskrétní modulace lze rozdělit do dvou základních skupin. Na dvoustavové a vícestavové modulace. U dvoustavových modulací se nosná vlna mění pouze mezi dvěma diskrétními stavy. U vícestavových modulací nabývá nosná vlna několika stavů podle zvolené modulační metody.

Pro zobrazení digitálních modulací je často využíváno konstelačního diagramu. Jde o komplexní rovinu, ve které jsou jednotlivé modulované symboly zobrazeny. Reálná osa se nazývá synfázní složka a je označována symbolem I (In-phase). Imaginární osa je označována symbolem Q (Quadrature) a vyjadřuje složku kvadraturní neboli o  $90^\circ$  pootočenou vůči složce I. Příklad konstelačních diagramů je například na obr. 1.4.  $S_0$  vyjadřuje aktuální amplitudu signálu,  $f_0$  kmitočet a  $\varphi(t)$  úhel mezi I a Q vektorem.

Základní principiální blokové schéma kvadraturního digitálního modulátoru je zobrazeno na obr. 1.1. Generování modulovaných symbolů s frekvencí  $2f_{\text{SYMB}}$  probíhá v bloku s označením „GENER. SYMBOLŮ“. Jednotlivým symbolům jsou v bloku „MAPOVÁNÍ“ přiděleny (s ohledem na druh modulace) konkrétní pozice v konstelačním diagramu. Tyto pozice jsou vyjádřeny pomocí dvou x-bitových čísel, kterým se říká vektory I a Q. Oba vektory vstupují odděleně do bloku „INTERPOLACE + FILTROVÁNÍ“. Zde dochází k číslicovému filtrování vektorů I a Q, díky kterému lze na výstupu modulátoru zajistit nižší výslednou šířku pásma. Zároveň zde může být provedena interpolace vzorků  $n$ -krát. Výsledná frekvence dat získaných po filtrování má hodnotu  $n \cdot f_{\text{SYMB}}$ . V případě využití modulátoru AD9957 je interpolační faktor neměnně nastaven na 4 a výsledná frekvence je tedy  $4 \cdot f_{\text{SYMB}}$ . Jelikož je pro správné modulování signálu nutné, aby byla frekvence modulovaných vzorků v I a Q větvi stejná jako je frekvence přicházející z bloku „DDS“, jsou data opět interpolována v bloku označeném „INTERPOLACE  $m$ -krát“. Po interpolaci dat musí tedy platit následující vztah

$$f_{\text{DDS}} = n.m.f_{\text{SYMB}}, \quad (1.1)$$

kde proměnná  $n$  vyjadřuje pevně daný interpolační faktor. Proměnná  $m$  nastavitelný interpolační faktor a  $f_{\text{DDS}}$  frekvenci vzniklou v bloku „DDS“. Poté se data ve větvi I násobí harmonickým signálem s frekvencí  $f_{\text{DDS}}$  a ve větvi Q s tentýž harmonickým signálem ovšem o  $90^\circ$  posunutým. Tedy signály  $\sin(2\pi.f_{\text{DDS}})$  a  $\cos(2\pi.f_{\text{DDS}})$ . Po číslicovém vynásobení se data z obou cest sečtou a jsou přivedena do bloku „DAC“, kde jsou pomocí digitálně-analogového převodníku převedena do analogové podoby. Analogový signál je na výstupu filtrován pomocí analogového rekonstrukčního filtru typu dolní propust a tak dochází k vyhlazení výsledného analogového signálu.

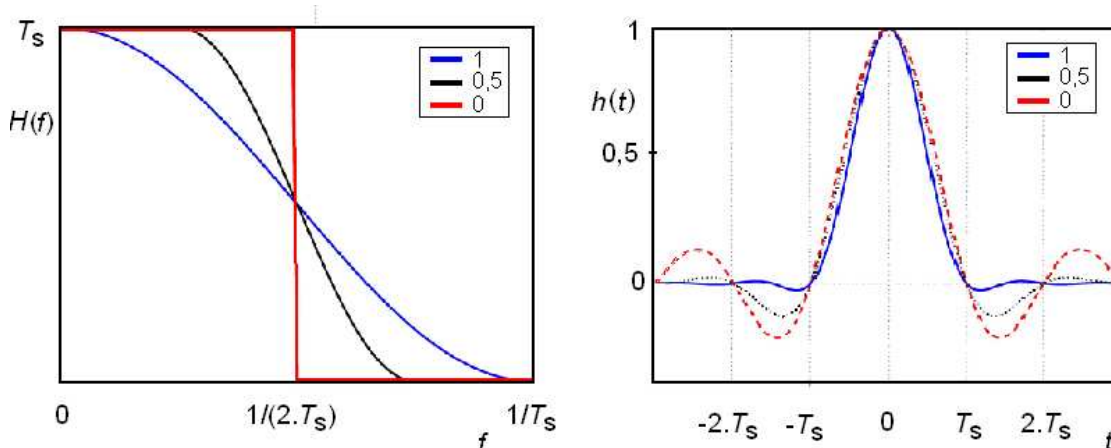


Obr. 1.1: Principiální blokové schéma kvadrurního digitálního modulátoru.

Při modulaci nefiltrovaného digitálního signálu v základním pásmu (signál s ostrými přechody) dochází k vytváření výstupního výkonového spektra s obálkou popsanou funkcí  $\sin(x)/x$ . Tento průběh má nekonečně široké frekvenční pásmo, což je pro přenos informací v rádiovém prostředí nevyhovující. Pro přenos informací je tedy před vlastní modulací nutné provést filtraci modulačního signálu. Zároveň je však nutné, aby filtrací nevznikaly mezisymbolové interference ISI. Těmito dvěma požadavkům vyhovují takzvané Nyquistovy filtry. Mezi typické představitele těchto filtrů patří filtry s kosinusovým průběhem RC (Raised Cosine filters) nebo SRRC (Square Root Raised Cosine filters). Impulzní charakteristika RC filtru pro tři hodnoty parametru  $\alpha$ , takzvaného roll-off faktoru, je zobrazena na obr. 1.2. Pokud je parametr  $\alpha$  roven 0, odpovídá impulzní charakteristika filtru ideální Nyquistově propusti. To znamená, že po filtraci je šířka pásma  $B$  rovna polovině frekvence bitového toku  $f_b$  podle následujícího vztahu

$$B = \frac{f_b}{2}. \quad (1.2)$$

Pro  $\alpha=1$  je naopak zabíraná šířka pásma  $B$  přímo rovna frekvenci bitového toku. To znamená, že se zvyšujícím se parametrem  $\alpha$  dochází k rychlejšímu útlumu impulzní charakteristiky. Pro praktické použití se většinou využívá  $\alpha$  v rozmezí  $\langle 0,2; 0,5 \rangle$ . Interpolace vzorků, provedená před touto filtrací, slouží pro jednodušší realizovatelnost číslicového filtru. Interpolace provedená po filtraci slouží k sjednocení vzorkovací frekvence s frekvencí modulační.



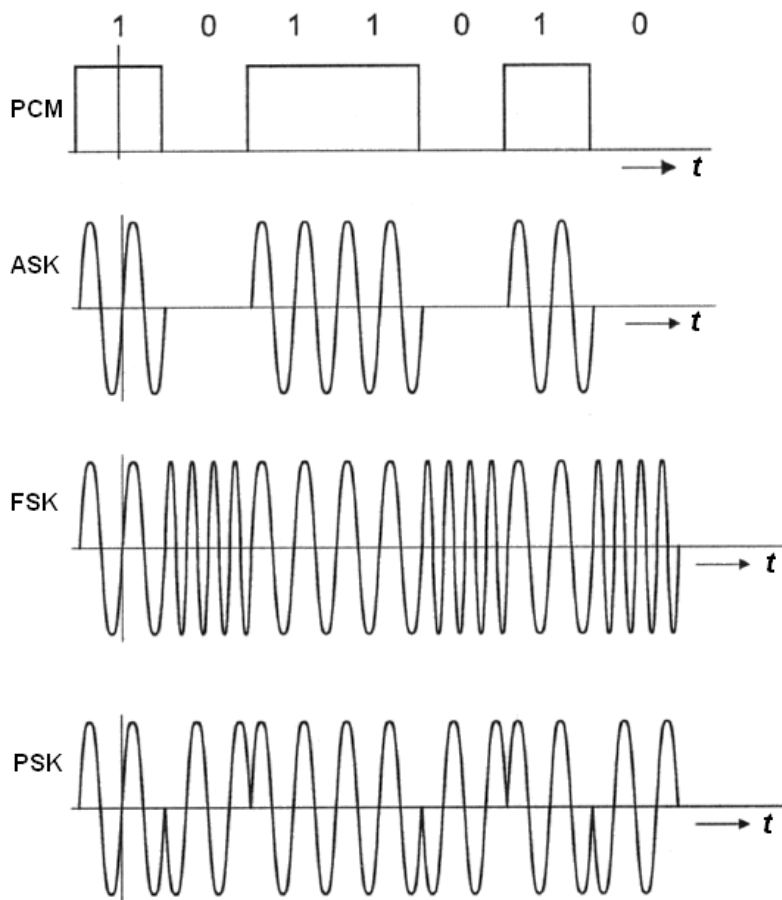
Obr. 1.2: Přenosová a impulzní charakteristika Raised Cosine filtru.

## 1.2 Dvoustavové (binární) diskretní modulace

Při tomto druhu modulace může nosná vlna dosáhnout pouze dvou stavů. Dvoustavová diskretní modulace může vzniknout třemi způsoby podle toho, jakým parametrem je nosná vlna ovlivňována. Jednotlivé způsoby jsou zobrazeny na obr. 1.3. Prvním z nich je amplitudová modulace, kdy se změnou modulačního signálu mění amplituda nosné vlny. Druhým je frekvenční modulace, kdy nosná vlna mění svoji frekvenci v závislosti na modulačním signálu a posledním způsobem je fázová modulace, kdy se mění fáze nosné vlny. Změna nosné v dvou stavech se nazývá „klíčování“ (keying). Z toho vyplývá označení amplitudové modulace ASK (Amplitude Shift Keying), frekvenční modulace FSK (Frequency Shift Keying) a fázové modulace PSK (Phase Shift Keying). Někdy jsou tyto modulace také označovány jako binární. Odtud pocházejí názvy BASK (Binary Amplitude Shift Keying), BFSK a BPSK případně 2ASK, 2FSK a 2PSK.

Speciálním druhem ASK modulace je modulace OOK (On-Off-Keying), kdy se pro vyslání stavu „1“ nosná vlna vysílá a pro stav „0“ se nosná vlna nevysílá (vysílá se s nulovou amplitudou). Tato modulace je na obr. 1.3 označena jako ASK.

Pro potlačení nežádoucích postranních složek spektra se modulace vytváří tak, aby k přechodům mezi stavy modulačního signálu docházelo vždy přesně v okamžicích, kdy nosná vlna prochází nulovou hodnotou. Pokud by ke změnám stavů modulovaného signálu docházelo při náhodné fázi modulované vlny, byl by výsledný průběh signálu v časové oblasti značně nespojitý.



Obr. 1.3: Modulace ASK, FSK a PSK v časové oblasti (převzato z [2]).

### 1.3 Vícetavové diskrétní modulace

Tyto modulace jsou také nazývány jako víceúrovňové. Ke vzniku těchto druhů modulací vedla potřeba zvyšování přenosové kapacity. Modulovaný parametr nosné vlny nenabývá pouze dvou stavů, jako tomu bylo u dvoustavových modulací, ale může nabývat  $M$  stavů. Veličina  $M$  je dána následujícím vztahem

$$M = 2^n, \quad (1.3)$$

kde  $n$  je přirozené číslo. Může mít hodnotu dva a více. Tyto stavy jsou označovány jako symboly nebo signálové prvky. Každý stav je vyjádřen  $n$  bity, pro které platí

$$n = \log_2 M. \quad (1.4)$$

Zvyšováním počtu stavů modulace se sice snižuje potřebná šířka pásma, případně se zvětšuje přenosová rychlost, ale přináší to také nevýhody. Čím více stavů může modulace nabývat, tím se snižuje odolnost vůči šumu a rušení. V reálných systémech

se to projevuje zvýšením chybovosti. Proti tomuto jevu lze čelit zvyšováním poměru S/N před demodulátorem přijímače.

U těchto druhů modulací se zavádí parametr bitová modulační rychlost  $f_b$ , která je vyjádřena jako

$$f_b = \frac{1}{T_b}, \quad (1.5)$$

kde  $T_b$  odpovídá době trvání jednoho bitu. Jednotkou této rychlosti je b/s.

Obdobně se zavádí pojem symbolová rychlost  $f_s$ , která se vypočte následovně

$$f_s = \frac{1}{T_s}. \quad (1.6)$$

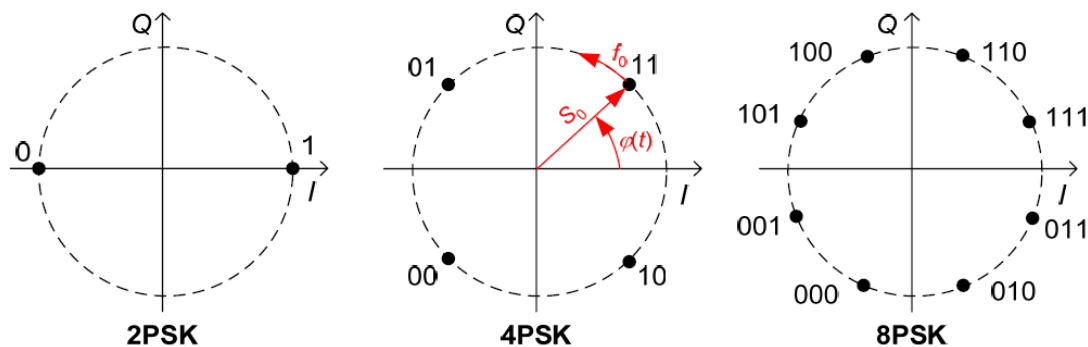
Zde je  $T_s$  doba trvání jednoho vícestavového symbolu. Jednotkou je Baud, udávající počet změn stavu signálu za jednu sekundu.

Mezi oběma rychlostmi platí následující vztah

$$T_s = n \cdot T_b. \quad (1.7)$$

Pokud se pro přenos informací použije vícestavová modulace, sníží se symbolová rychlost a díky tomu se pro přenos může použít užší kmitočtové pásmo, než by tomu bylo u dvoustavové modulace. Pokud se naopak při použití  $M$ -stavové modulace nezmění šířka pásma, lze dosáhnout větší přenosové kapacity než u dvoustavové modulace.

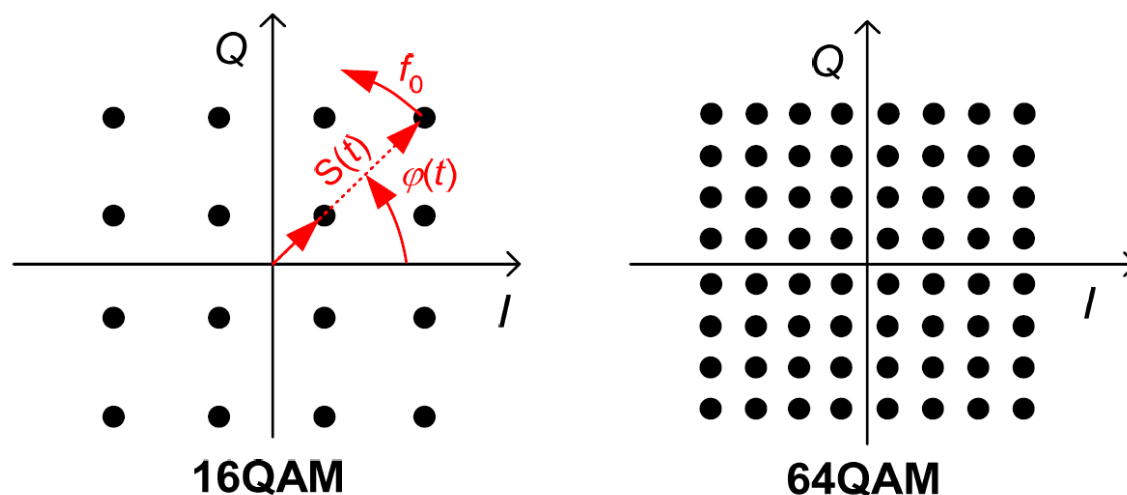
Typickým zástupcem těchto druhů modulací je čtyřstavová modulace QFSK (Quaternary FSK), u níž nosná vlna odpovídá jednomu ze čtyř možných symbolů. Jednotlivé symboly jsou vyjádřeny pomocí dibitů, což jsou kódové skupiny složené ze dvou bitů. Tato modulace má při stejné bitové rychlosti  $f_b$  modulačního signálu a stejné přenosové kapacitě dvounásobnou symbolovou rychlost  $f_s$  oproti dvoustavové modulaci. Při použití modulace 8FSK je symbolová rychlost trojnásobná.



Obr. 1.4: Konstelační diagram PSK modulace (převzato z [3]).



Další variantou těchto modulací jsou modulační APSK. Ty vznikají současným klíčováním amplitudy a fáze nosné vlny. To zajišťuje možnost lepšího využití dynamického rozsahu. Ukázka konstelačního diagramu modulační QAM je na obr. 1.5. Nosnou vlnu o libovolné amplitudě a fázi lze složit ze dvou signálů o stejné frekvenci, které jsou vůči sobě fázově posunuty o 90°. Modulátory, které pracují na tomto principu, se nazývají kvadraturní. Pomocí těchto modulátorů lze realizovat jak kruhové konstelační diagramy, tak i diagramy čtvercové. Jelikož modulační QAM obecně nemá konstantní obálku, musí být takto modulovaný signál zesilován v lineárním zesilovači.



Obr. 1.5: Konstelační diagram QAM modulační (převzato z [3]).

## 1.4 Měření parametrů digitální modulační

U každé modulační je velmi důležité vyhodnocení spektrálních vlastností výsledného signálu, jako je například šířka zabíraného pásma a potlačení ramen. Mimoto lze pro měření kvality vytvářené digitální modulační využít konstelačního IQ diagramu. Chyba, která vzniká při modulační, je dána nepřesnou pozicí vytvořeného symbolu vzhledem k jeho nominální (ideální) pozici, která leží ve středu rozhodovacích úrovní. Při překročení rozhodovacích úrovní dochází ke vzniku bitových chyb. Nepřesnost jednotlivých symbolů lze vyjádřit pomocí měření chybového vektoru, tak jak je zobrazeno na obr. 1.6. Chybový vektor je vypočten jako rozdíl vektoru spojujícího střed konstelačního diagramu s měřeným symbolem a vektoru vycházejícího ze středu konstelačního diagramu k ideální poloze symbolu.

Výslednou kvalitu modulační lze vyjádřit pomocí veličiny *MER* „Modulation Error Ratio“ nebo pomocí veličiny *EVM* „Error Vector Magnitude“. Velikost *MER* v procentech lze vypočítat podle následující rovnice

$$MER[\%] = \frac{\sqrt{\frac{1}{N} \sum_{n=0}^{N-1} (error\_vector)^2}}{U_{RMS}} \cdot 100\% , \quad (1.8)$$

kde  $N$  vyjadřuje celkový počet symbolů v konstelačním diagramu,  $error\_vector$  velikost jednotlivých chybových vektorů a  $U_{RMS}$  efektivní hodnota napětí signálu. Velikost  $MER$  může být také vyjádřena v logaritmické míře podle vztahu

$$MER[dB] = 10 \cdot \log\left(\frac{MER[\%]}{100}\right). \quad (1.9)$$

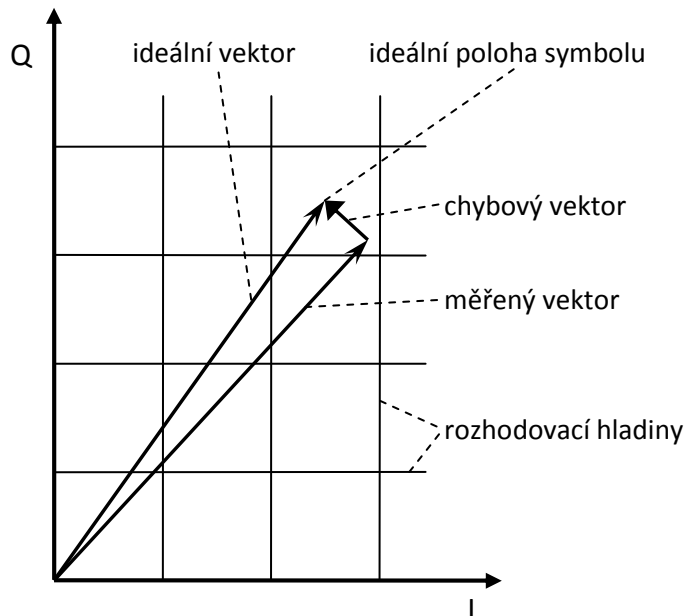
Veličinu  $MER$  lze uvádět buď jako jedinou celkovou hodnotu, nebo jako hodnotu v závislosti na nosné frekvenci. Druhý způsob má o kvalitě modulátoru větší výpovědní hodnotu. Veličina  $EVM$  je vypočtena obdobným způsobem jako hodnota  $MER$  jen s tím rozdílem, že je místo k efektivní hodnotě signálu vztahována ke špičkové hodnotě velikosti signálu.  $EVM$  může být taktéž vyjádřena v %, nebo v decibelech podle následujících vztahů

$$EVM[\%] = \sqrt{\frac{\frac{1}{N} \sum_{n=0}^{N-1} (error\_vector)^2}{P_0}} \cdot 100\%, \quad (1.10)$$

$$EVM[dB] = 10 \cdot \log\left(\frac{EVM[\%]}{100}\right), \quad (1.11)$$

kde  $P_0$  představuje průměrný výkon všech symbolů pro zvolenou modulaci.

Mimo parametry  $MER$  a  $EVM$  lze u digitálního modulátoru měřit například poměr signálu a šumu  $S/N$ , přesnost nastaveného kmitočtu, amplitudy a fáze a jejich časovou stabilitu. K chybám typickým pro analogový modulátor, jako je  $I/Q$  nevyvážení,  $I/Q$  fázová chyba a nedostatečné potlačení nosné, by nemělo u digitálního modulátoru docházet.



Obr. 1.6: Znázornění chybového vektoru.

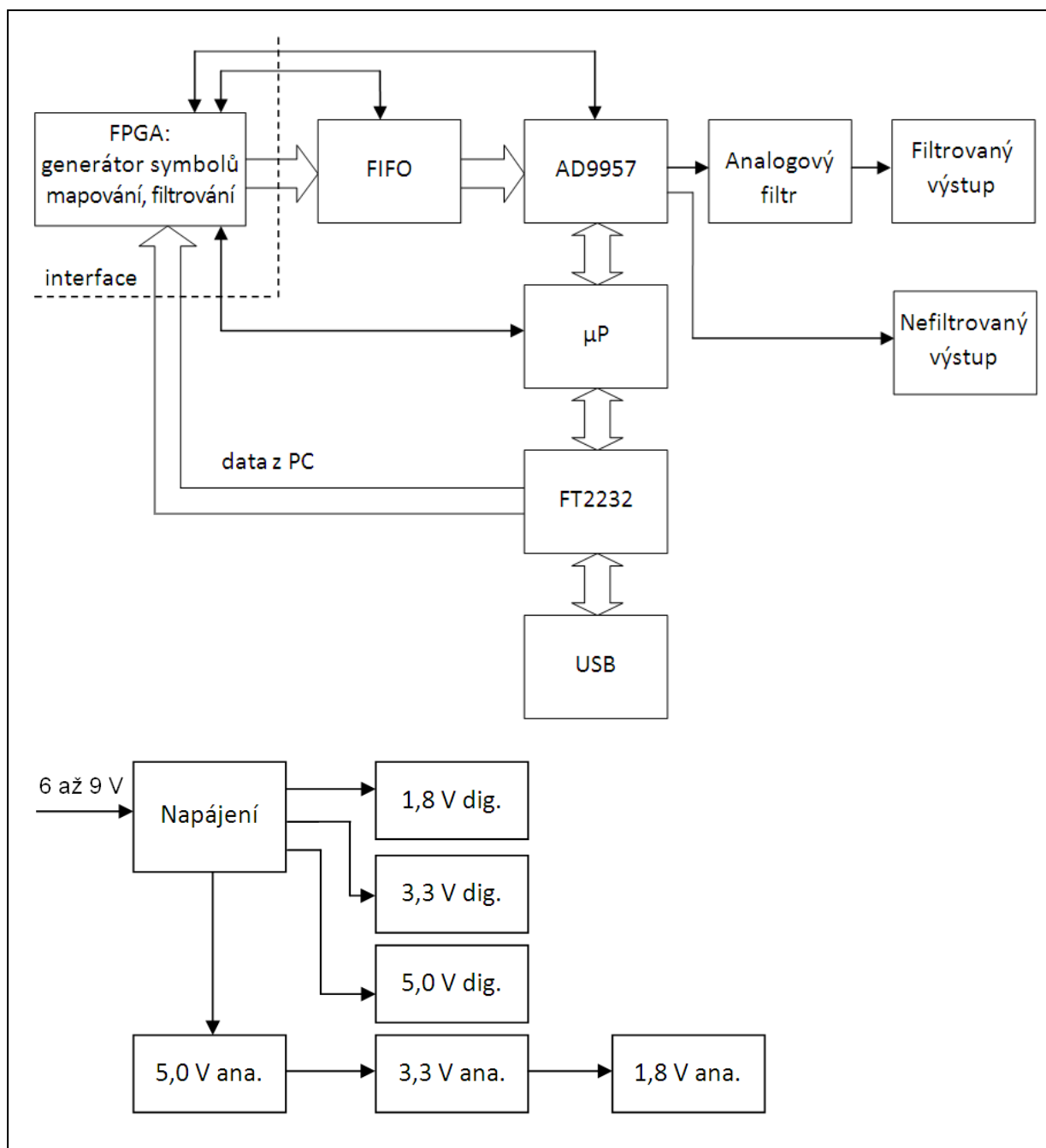
## 2 REALIZACE DIGITÁLNÍHO MODULÁTORU

V této kapitole je představeno základní blokové schéma digitálního modulátoru s obvodem AD9957. Dále jsou popsány jednotlivé bloky navrženého blokového schématu, představeny možnosti modulací a způsob ovládání a komunikace s PC. Na konci této kapitoly je popsána navržená deska plošných spojů a navržený software.

### 2.1 Blokové schéma

Blokové schéma celého modulátoru je zobrazeno na obr. 2.1. Klíčovým blokem celého navrhovaného zařízení je integrovaný obvod od firmy Analog Devices s označením AD9957, který provádí vlastní modulaci symbolů na nosnou vlnu. Modulovaná nosná vlna je přes analogový filtr přivedena na výstup. Vstupní data jsou mapována do I a Q vektorů v obvodu FPGA a přes synchronní paměť FIFO jsou oba vektory přiváděny do obvodu AD9957. Obvod FPGA je zde použit pro možnost generování dat s velkou rychlostí. Paměť FIFO slouží jako oddělení části, kde se data generují a části, kde se data modulují. Obě části tak mohou a mají jiný taktovací kmitočet a díky vyrovnávací paměti FIFO na sobě nejsou kmitočtově závislé. Zařízení je řízeno mikrokontrolérem ATmega32 (označen  $\mu P$ ). S ovládacím počítačem je zařízení spojeno pomocí dvou USB rozhraní přes převodník USB  $\leftrightarrow$  UART, realizovaný obvodem FT232RL. Napájecí napětí modulátoru jsou dvě. A to sice 1,8 V a 3,3 V. Přímou u vstupního konektoru je vstupní napětí rozděleno na digitální a analogovou část. Všechna napětí jsou získávána ze síťového stejnosměrného napájecího adaptéru s napětím 6 V až 9 V.

Celé zařízení se skládá ze dvou desek plošných spojů, které jsou mezi sebou spojeny dvěma 80ti pinovými konektory od firmy Hirose. Na první desce jsou umístěny všechny části modulátoru s výjimkou obvodu FPGA. Druhou deskou je komerčně dostupný modul TE0300, který vyrábí firma Trenz electronic. V blokovém schématu je místo spojení obou částí označeno „interface“.



Obr. 2.1: Blokové schéma modulátoru.

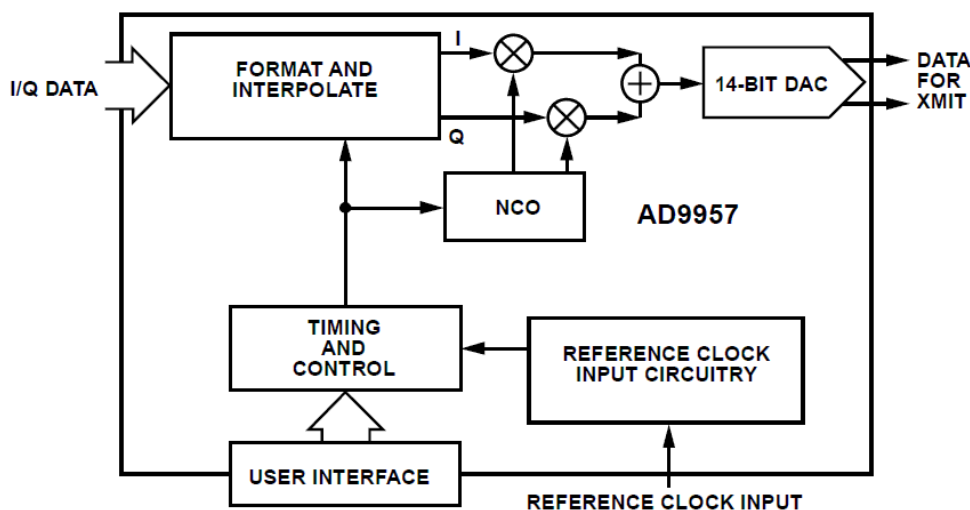
## 2.2 Popis jednotlivých bloků

### 2.2.1 AD9957

Integrovaný obvod AD9957 od firmy Analog Devices je kvadraturní digitální modulátor, který má následující základní parametry a vlastnosti

- 18bitová šířka datového vstupu
- 14bitový výstupní digitálně-analogový převodník s rychlostí až 1 GSPS
- Vstupní datový tok až 250 MSPS
- 8 programovacích profilů pro klíčování
- Možnost využití fázové modulace
- Zabudovaný inverzní sinc filtr
- Referenční násobička hodinového signálu
- Mezi-obvodová synchronizace
- Vnitřní oscilátor s možností připojení vnějšího krystalu
- Softwarově i hardwarově řízené odpojování jednotlivých částí obvodu pro snižování spotřeby
- Integrovaná paměť RAM
- Sériové rozhraní Blackfin
- Nastavitelný interpolační faktor od 4x do 252x
- Interpolační DAC mód
- Řízení zesílení DAC
- Dělička hodinového signálu do 2 GHz
- Napájecí napětí 1,8 V a 3,3 V
- Pouzdro obvodu 100TQFP

Základní funkční blokové schéma obvodu je zobrazeno na obr. 2.2. Vstupní vektory dat I a Q jsou formátovány v bloku s názvem „Formated and interpolate“ a následně modulovány v každé větvi zvlášť. K vytváření dvou vzájemně posunutých harmonických signálů, na které se data modulují, slouží blok s označením NCO (číslicově řízený oscilátor). Po modulaci jsou data z obou cest sečtena. Pomocí digitálně-analogového převodníku DAC je z digitálních dat vytvořen analogový průběh a ten je vstupem pro další analogové části zpracovávající signál. O časování a řízení celého obvodu se stará blok označený „Timing and control“. Systémové hodiny celého zařízení jsou do tohoto bloku přiváděny z referenčního vstupu hodinového signálu „Reference clock input“ a v bloku „Reference clock input circuitry“ jsou upraveny. Pomocí uživatelského rozhraní „User interface“ je obvod řízen uživatelem zvenčí.



Obr. 2.2: Funkční blokové zapojení obvodu AD9957 (převzato z [1]).

Obvod AD9957 je univerzální I/Q modulátor pro komunikační systémy. Na jednom chipu sdružuje několik dílčích bloků jako je vysokorychlostní blok přímé číslicové syntézy DDS, 14bitový vysokorychlostní digitálně-analogový převodník, násobičku referenčního hodinového signálu, digitální filtry a další obvody pro zpracování signálu. Poskytuje přenos dat ze základního pásma do jiného pásma.

Vstupní data v základním pásmu mohou být do zařízení dodávána nejenom paralelně po 18 bitech, ale také sériově s rozlišením 16 bitů.

Obvod může pracovat ve čtyřech základních režimech, kterými jsou:

- Kvadrurní modulační mód QDUC (Qadrature Modulation Mode)
- Mód s Blackfin rozhraním BFI (BlackFin Interface Mode)
- Intrpolační DAC mód (Interpolating DAC Mode)
- Generátor jednoho tónu (Single Tone Mode)

Vstupní referenční hodinový obvod zahrnuje krystalový oscilátor, děličku dvěma a nízkošumovou smyčku fázového závěsu PLL pro násobení referenčního hodinového signálu, přicházejícího zvenčí.

Ke komunikaci přes uživatelské rozhraní je využito rozhraní SPI. Obvod disponuje osmi přepínatelnými profily, pro něž lze nastavit vlastní frekvenci, fázi a amplitudu. To umožňuje jednoduché a hlavně rychlé modulování signálu v závislosti na různých požadovaných modulacích. K přepínání slouží piny, které jsou přístupné uživateli.

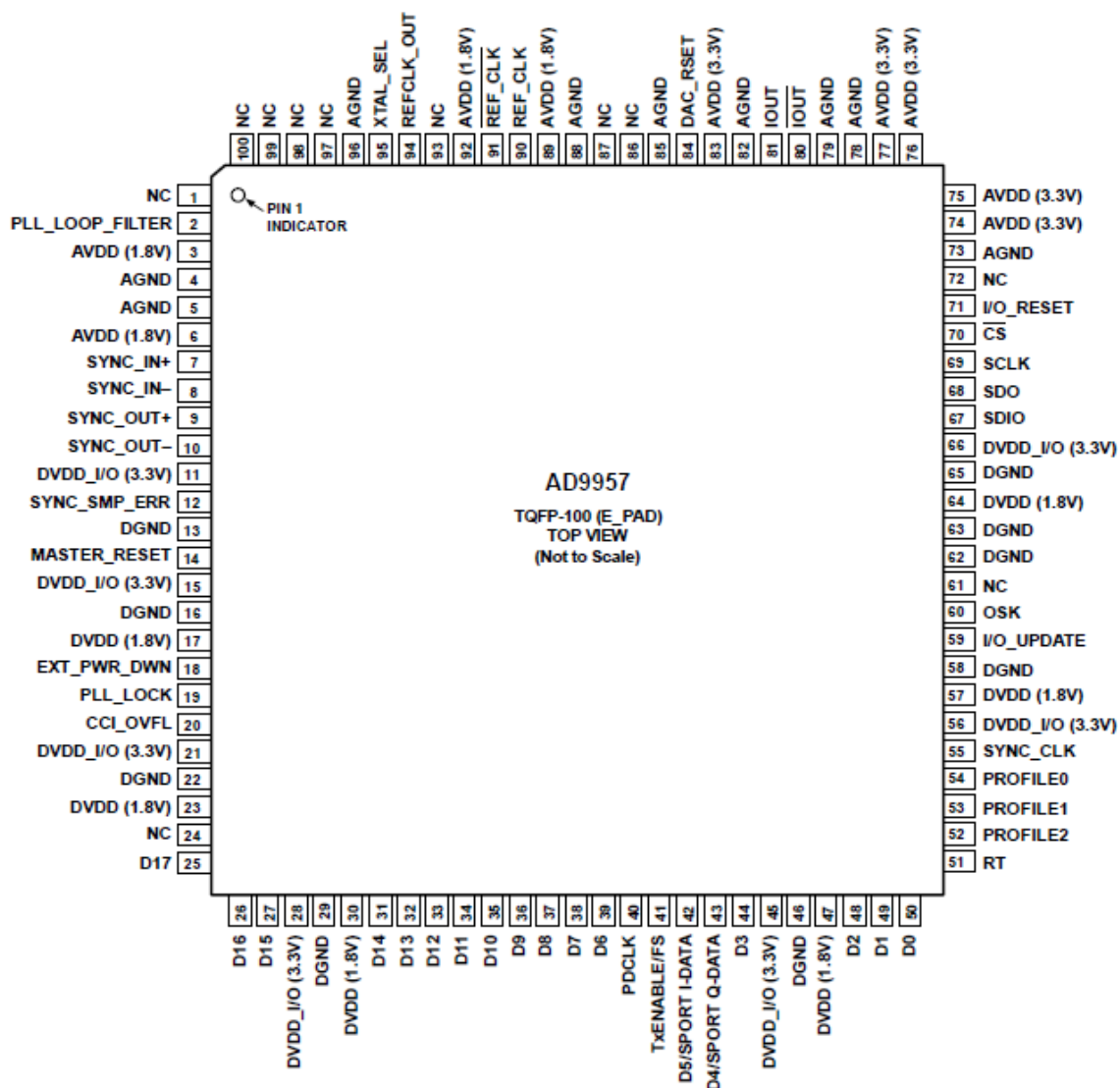
Obvod je vyráběn v pouzdrů typu 100TQFP. Osazení jednotlivých pinů je patrné z obr. 2.3. Konkrétní funkce a významy pinů jsou obsaženy v tab. 2.1. Sloupec I/O značí, zda se jedná o vstupní či výstupní pin, sloupec A/D, zda jde o analogový nebo digitální pin a sloupec aktivita na jakou úroveň (případně hranu) je daný pin aktivní. Zkratka RE (Rising Edge) značí vzestupnou hranu, FE (Falling Edge) sestupnou hranu, H (High) vysokou úroveň a L (Low) nízkou úroveň.

Tab. 2.1: Názvy a významy jednotlivých pinů AD9957

Pin	Označení	I/O	A/D	Aktivita	Popis funkce
1,24,61,72,86,87,93,97-100	NC				Nezapojené piny. Je možné je nechat plovoucí.
2	PLL_LOOP_FILTER	I			Kompenzace smyčky PLL
3,6,89,92	AVDD (1,8 V)	I	A		Analogové napájení jádra AD9957 1,8 V
74-77,83	AVDD (3,3 V)	I	A		Analogové napájení DAC AD9957 1,8 V
17,23,30,47,57,64	DVDD (1,8 V)	I	D		Digitální napájení jádra AD9957 3,3 V
11,15,21,28,45,56,66	DVDD_I/O (3,3 V)	I	D		Digitální napájení I/O periférií AD9957 3,3 V
4,5,73,78,79,82,85,88,96	AGND	I	A		Analogová zem
13,16,22,29,46,58,62,63,65	DGND	I	D		Digitální zem
7	SYNC_IN+	I	D	RE	Synchronizační signál
8	SYNC_IN-	I	D	FE	Synchronizační signál
9	SYNC_OUT+	O	D	RE	Synchronizační signál
10	SYNC_OUT-	O	D	FE	Synchronizační signál
12	SYNC_SMP_ERR	O	D	H	Synchronizační vzorkovací chyba. Stav H indikuje nesprávný synchronizační signál.
14	MASTER_RESET	I	D	H	Reset obvodu. Vymaže paměť a nastaví registry na defaultní hodnotu.
18	EXT_PWR_DWN	I	D	H	Pin indikující spotřebu. Pin je nastaven, pokud je obvod uveden do režimu se sníženou spotřebou.
19	PLL_LOCK	O	D	H	Indikace zachycení PLL. Pin je nastaven, pokud smyčka PLL zachytí hodinový signál.
20	CCI_OVFL	O	D	H	Přetečení CCI filtru. Pin je nastaven, pokud došlo k přetečení CCI filtru.
25-27,31-39,42-44,48-50	D <17:0>	I/O	D	H	Paralelní vstupní datová sběrnice. Piny poskytují 18bitové prokládané I a Q vektory modulátoru.

42	SPORT I-DATA	I	D	H	Sériový vstup I složky v Blackfin módu
43	SPORT Q-DATA	I	D	H	Sériový vstup Q složky v Blackfin módu
40	PDCLK	O	D	H	Paralelní datový hodinový signál pro synchronizaci vstupních dat
41	TxENABLE/FS	I	D	H	Povolení přenosu. FS je využit při přenosu v Blackfin režimu.
51	RT	I	D	H	Pin, provádějící kontrolu řízení vyčítání RAM.
52-54	PROFILE <2:0>	I	D	H	Vstupy pro výběr jednoho ze sedmi profilů.
55	SYNC_CLK	O	D	RE	Systémové hodiny/4. Slouží k synchronizaci pinů I/O_UPDATE a PROFILE <2:0>.
59	I/O_UPDATE	I/O	D	H	Aktualizace I/O. V závislosti na natavení vnitřního bitu indikuje přenos z I/Q bufferu na odpovídající vnitřní registry.
60	OSK	I	D	H	Výstupní klíčování. Při používání funkce výstupního klíčování (OSK) je pin využit k řízení. Pokud není využita, pak je pin ve stavu H.
67	SDIO	I/O	D	H	Sériové vstupně/výstupní data. Zda jde o vstupní či výstupní data závisí na konfiguraci komunikace. Defaultně je nastavena obousměrná komunikace.
68	SDO	O	D	H	Sériová výstupní data. Je využit pouze v jedno-směrné komunikaci SDIO a slouží jako výstup dat. Při obousměrné komunikaci SDIO není funkční.
69	SCLK	I	D	RE/FE	Hodinový signál pro sériovou komunikaci. Pro zápis do AD9957 je využita vstupná hrana, pro zpětné čtení sestupná hrana.
70	!CS	I	D	L	Chip select. Při úrovni L je obvod aktivní a využívá hodinový signál. Při úrovni H obvod ignoruje hodinový signál.
71	I/O_RESET	I	D	H	Slouží k resetu sériového portu a vymazání I/O bufferů. Nedojde ke kompletnímu resetu obvodu. Při nevyužití je připojen na GND.
80	!IOUT	O	A		Doplňkový proudový výstup z DA převodníku. Přes rezistor 50 Ω se připojuje na AGND.
81	IOUT	O	A		Proudový výstup z DA převodníku. Přes rezistor 50 Ω se připojuje na AGND.
84	DAC_RSET	O	A		Analogový referenční pin. Nastavuje proudový rozsah DA převodníku. Přes rezistor 10 kΩ se připojuje na AGND.
90	REF_CLK	I	A		Referenční hodinový vstup.
91	!REF_CLK	I	A		Doplňkový referenční hodinový vstup.
94	REFCLK_OUT	O	A		Výstup referenčního hodinového signálu DA převodníku.
95	XTAL_SEL	I	A	H	Výběr krystalu. Úroveň H povoluje vnitřní oscilátor s použitím krystalového rezonátoru. Pokud není využit, připojuje se na AGND.
96	EPAD				Vývod spojený s podložkou ve vnitřní struktuře obvodu. Tento pin by měl být připojen na zem.

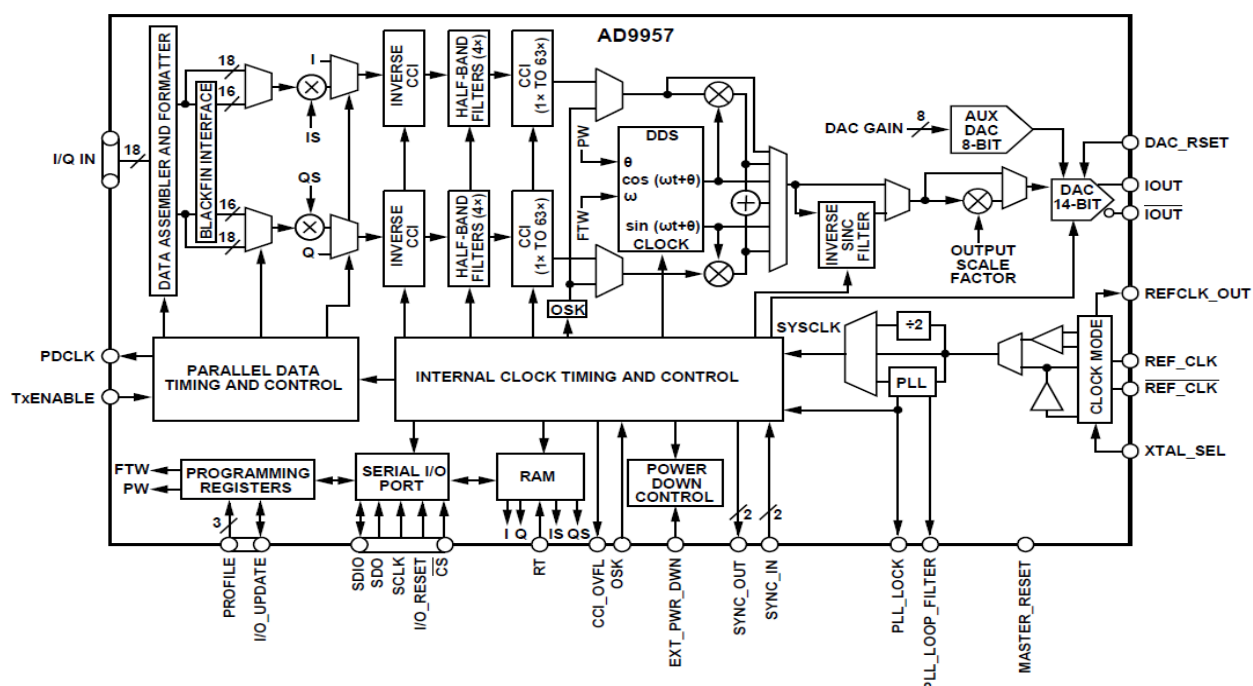




Obr. 2.3: Rozmístění jednotlivých pinů (převzato z [1]).

Podrobné schéma modulátoru s označenými vývody je zobrazeno na obr. 2.4. Jsou zde vidět jednotlivé bloky modulátoru.

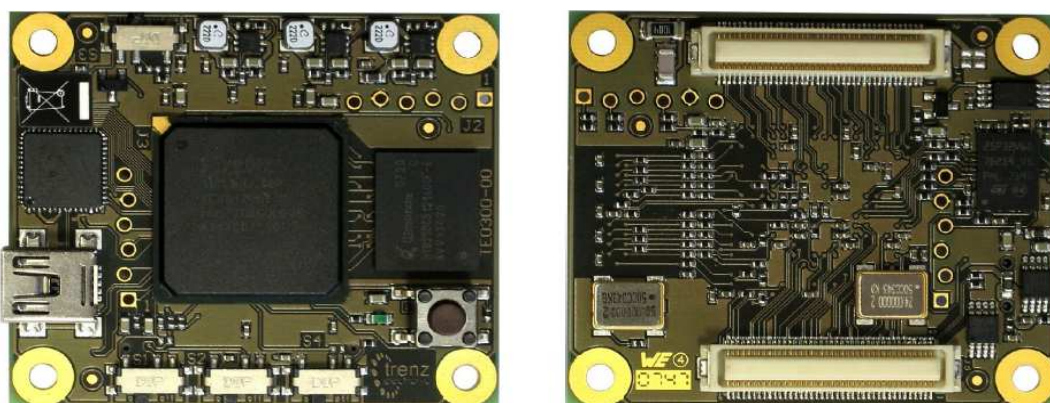
Konkrétní zapojení modulátoru AD9957 je v příloze v kapitole A.2. Tento obvod je s FIFO pamětí propojen pomocí datové sběrnice s šířkou 18 bitů. Sběrnice je řízena signálem „RCLK“. Povolení a zakázání této sběrnice je možné pomocí propojky na JP4. Většina signálů je přivedena do obvodu FPGA. Konektory X8-X11 společně s propojkou JP9 mohou sloužit k případné synchronizaci. V současné chvíli není plánováno jejich využití. Propojka JP10 slouží k povolení nebo zakázání krystalového oscilátoru. Pro využití v tomto modulátoru je uvažováno využití krystalu s frekvencí 25 MHz. Propojka JP11 slouží k přerušení signálu SDIO a SDO sériové sběrnice. Při běžném provozu bude propojka připojena a signály tak budou spojené. Tato sběrnice je také využita pro programování mikrokontroléru ATmega32 a proto je použito signálu „CSB“ pro výběr programovaného obvodu.



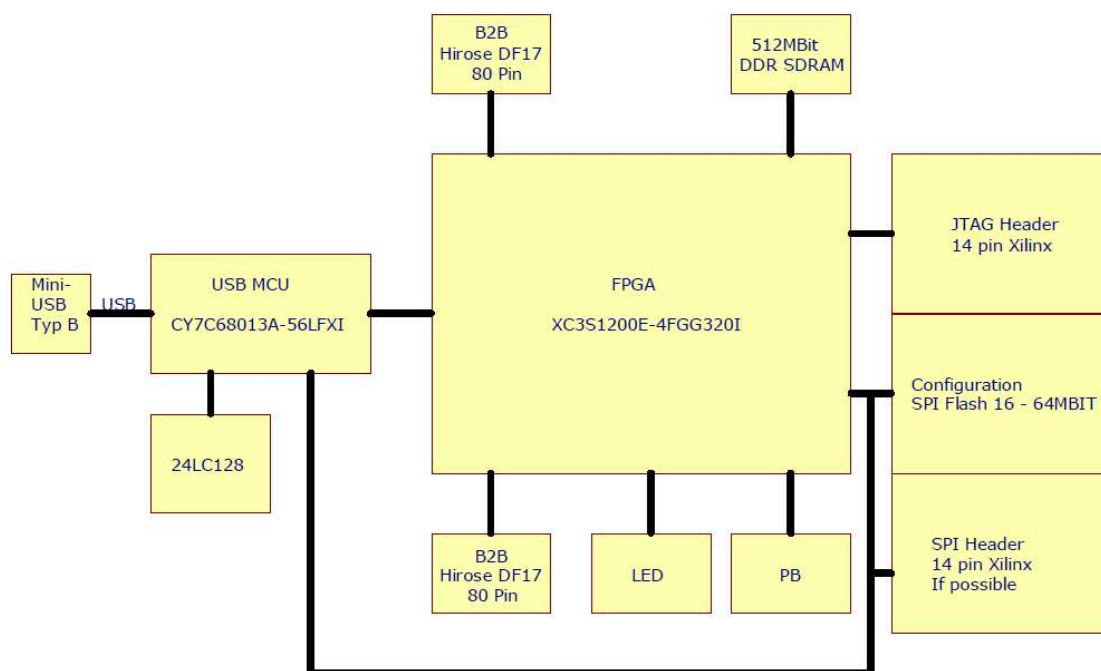
Obr. 2.4: Podrobné schéma modulátoru AD9957 (převzato z [1]).

## 2.2.2 FPGA modul

Pro získání modulovaných vstupních dat a jejich mapování je použit komerčně dostupný modul TE0300 od firmy Trenz electronic. Tento modul je osazen FPGA obvodem Spartan-3E, USB 2.0 mikrokontrolérem CY7C68013A-56LFX, DDR pamětí RAM, konfigurační flash pamětí a napájecími obvody. Většina I/O pinů obvodu FPGA (110) je vyvedena na jeden ze dvou konektorů, které slouží pro spojení s ostatními obvody a pro napájení modulu. Modul lze napájet napětím 4,0 V až 5,5 V. Konkrétní provedení modulu TE0300 je na obr. 2.5 a jeho blokové schéma na obr. 2.6. Rozměry modulu jsou 47,5 mm x 40,5 mm.



Obr. 2.5: Provedení modulu TE0300 – top a bottom strana (převzato z [4]).



Obr. 2.6: Provedení modulu TE0300 – blokové schéma (převzato z [4]).

Konfigurace hradlového pole je možná pomocí JTAG rozhraní, SPI rozhraní a také pomocí sběrnice USB. Modul obsahuje svůj vlastní USB konektor velikosti mini-USB typu B.

Zapojení a význam jednotlivých pinů je zobrazeno ve schématu v příloze. A to sice v kapitolách A.4 a A.6. Napájení +5V je přivedeno přes 4 piny konektoru J5 a na piny VccIO konektoru J4 je přivedeno napětí 3,3 V. Obě napětí jsou filtrována tantalovými kondenzátory s kapacitou 10 $\mu$ F. Aby nevznikly zemní smyčky a tím i rušení, je žádoucí, aby zem GND modulátoru a modulu byla spojena pouze na jednom místě. Všechny GND piny modulu jsou navzájem spojeny v modulu TE0300 a proto je zem GND přivedena pouze přes konektor J4. Napětí 2,5 V a 3,3 V, které lze z modulu odebírat není nijak využito. Reset FPGA modulu je možný vyvolat pomocí mikrokontroléru a to sice signálem „RESET\_9957“.

Modul TE0300 slouží pro generování pseudonáhodných symbolů (modulovaných dat) a jejich následné mapování a filtrování do vektorů I a Q. Zároveň také slouží pro zpracování vstupních modulačních dat posílaných přímo z PC. Konkrétní způsob generování vektorů I a Q je dán pouze softwarovou konfigurací obvodu FPGA (viz kapitola 2.7.2) a koordinací s mikrokontrolérem. Nahrávání konfigurace je prováděno pomocí SPI rozhraní. Na desce modulátoru k tomuto účelu slouží dvouřadý 14pinový konektor s roztečí 2 mm.

### 2.2.3 FIFO

Paměť FIFO slouží k vyrovnání datového toku mapovaných symbolů. Je použita synchronní paměť. Tato paměť je použita především kvůli možnosti připojení jiného zdroje dat (s jinou přenosovou rychlostí) než je uvažované FPGA v modulu TE0300.

Jako vyrovnávací paměť byl vybrán obvod SN74V225-10PAG od firmy Texas Instruments v pouzdru 64TQFP. Tato paměť má 18bitovou datovou sběrnici, velikost paměti 18 kbit s organizací 1K x 18, přístupovou dobu maximálně 6,5 ns a maximální frekvenci hodinového signálu 100 MHz. Napájecí napětí může být v rozsahu 3,0 V až 3,6 V.

### 2.2.4 Analogový filtr a výstup

Výsledný signál modulátoru je vyveden na pinech IOUT a !IOUT. Signály z těchto vývodů jsou přivedeny na primární vinutí oddělovacího transformátoru ADT1-1WT. Na sekundárním vinutí je připojen rekonstrukční analogový filtr, složený z kaskády cívek a kondenzátorů. Filtr má charakter dolní propust. Filtrovaný výstupní signál je vyveden na konektor X6 typu SMA. Současně je na SMA konektor X7 vyveden i nefiltrovaný signál. Pomocí propojek na zalamovací pinové liště JP8 je možno nastavit zda bude signál filtrován nebo nefiltrován. Případně oddělovací transformátor úplně odpojit a měřit tak charakteristiku samotného analogového filtru.

### 2.2.5 Mikrokontrolér

Mikrokontrolér řídí celou činnost modulátoru a zajišťuje komunikaci s ovládacím programem. Byl vybrán mikrokontrolér ATmega32L, který má napájecí napětí v rozsahu 2,7 V až 5,5 V. V zapojení je využíváno napájecí napětí 3,3 V. Je taktován hodinovým kmitočtem 8 MHz, maximální výpočetní výkon je tedy 8 MIPS. Flash paměť programu má velikost 32 KB, paměť RAM má velikost 2 KB a EEPROM paměť 1024 B. Mikrokontrolér disponuje jednotkou USART i SPI, které jsou v zapojení využity. Více informací o tomto obvodu lze nalézt v [7]. USART pro komunikaci s ovládacím PC, rozhraní SPI pro programování mikrokontroléru (konektor JP12) a pro nastavování registrů v obvodu AD9957. Zapojení a význam jednotlivých pinů mikrokontroléru je zřejmý ze schématu A.1, které je umístěno v příloze. Obvod je taktován pomocí 8 MHz krystalu. Mezi mikrokontrolérem a modulem FPGA je vytvořeno 8 datových linek, které zatím nemají konkrétní využití. Jsou označeny „USER\_X“, kde X je číslo od 1 do 8.

### 2.2.6 FT2232H

Ke konverzi signálů sběrnice USB na asynchronní sériovou linku je v zařízení použit dvojitý převodník FT2232HL-R od firmy FTDI Chip. Tento obvod umožňuje „high speed“ USB komunikaci. Tedy rychlost až 480 Mb/s. Každý z obou kanálů může být nakonfigurován do několika módů, viz katalogové listy.

První kanál je požit v módu asynchronní sériové linky RS232 a jsou zde vytvářeny signály RxD, TxD, RTS a CTS. Tyto signály jsou přivedeny na příslušné piny jednotky USART řídicího mikrokontroléru. Bližší popis způsobu komunikace pomocí sériové linky je v kapitole 2.4. Zelená LED dioda LED3 u USB konektoru signalizuje připojení k PC a žlutá LED dioda bliká během komunikace po sériové lince mezi převodníkem FT2232H a mikrokontrolérem.

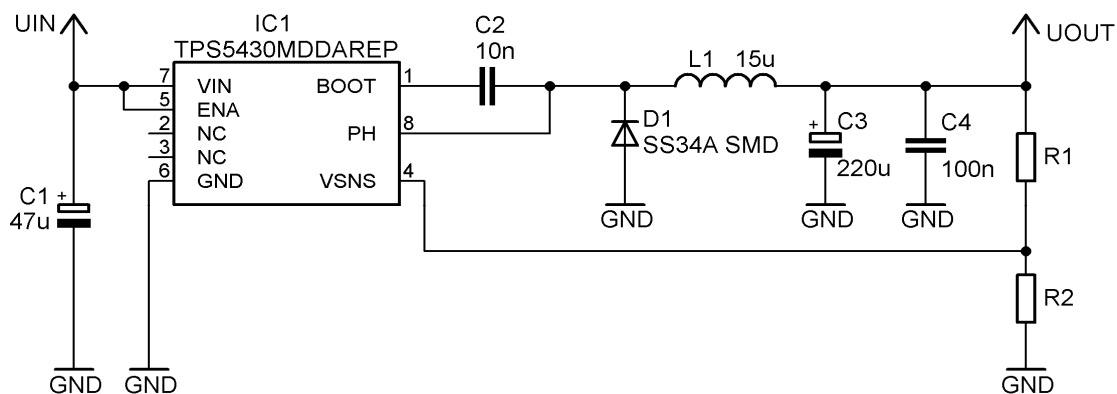
Druhý kanál slouží pro přenos modulačních dat pomocí USB sběrnice. Je nakonfigurován do „SYNC Bit-bang“ módu. Jedná se v podstatě o 8bitovou datovou sběrnici se dvěma synchronizačními signály. Jeden je aktivní při zápisu dat (WRSTB) a druhý (RDSTB) při čtení dat.

## 2.2.7 Napájecí zdroj

Napájení celého modulátoru je zajištěno pomocí stejnosměrného stabilizovaného síťového napájecího adaptéru s napětím od 6 V do 9 V. Toto napětí se do desky modulátoru přivádí pomocí napájecího souosého konektoru X2 s průměrem vidlice 2,1 mm. Za tímto konektorem je napájení rozděleno na dvě části. Na část digitální a část analogovou. Země digitální a analogová jsou spojeny tlumivkou L9. Analogová napětí slouží pro napájení analogových částí obvodu AD9957 a digitální napětí slouží pro napájení ostatních částí AD9957 a všech ostatních obvodů. Přítomnost vstupního napájecího napětí je signalizována červenou LED diodou s označením LED1.

Analogová napětí mají velikosti 1,8 V a 3,3 V. Odebírané proudy pro tato napětí nepřekračují hodnotu 100 mA a 150 mA. Napětí jsou vytvářena postupně za sebou řazenými lineárními integrovanými stabilizátory s fixním výstupním napětím. Prvním z nich je stabilizátor 7805 v pouzdru TO220, který vytváří napětí 5 V. Toto napětí je přivedeno na stabilizátor TLV1117-33CDCYR v pouzdru SOT223, který vytváří napájecí napětí velikosti 3,3 V. Z tohoto napětí je dále vytvořeno napětí 1,8 V a to sice pomocí integrovaného stabilizátoru TLV1117-18IDCY taktéž s pouzdrum SOT223. Jednotlivá napětí jsou filtrována pomocí tantalových SMD kondenzátorů a tlumivky L10. Dále jsou blokována proti napěťovým špičkám keramickými kondenzátory s hodnotou 100 nF a to jak přímo u stabilizátorů, tak i u pouzder napájených obvodů.

Digitální napětí jsou vytvářena pomocí integrovaného obvodu DC-DC měniče s názvem TPS5430MDDAREP od firmy Texas Instruments. Zapojení odpovídá katalogovému a je naznačeno na obr. 2.7. Vstupní napětí UIN je možno přivést v rozsahu od 5,5 V do 36 V, celkový výstupní proud může být 3 A a ve špičce až 4 A. Maximální účinnost je 95 %.



Obr. 2.7: Zapojení DC-DC měniče.

Velikost výstupního napětí je závislá na dělicím poměru odporů  $R1$  a  $R2$  podle následujícího vztahu

$$R2 = \frac{R1 \cdot 1,221}{U_{OUT} - 1,221}, \quad (2.1)$$

kde  $R1$  a  $R2$  jsou velikosti odporů a  $U_{OUT}$  je požadované výstupní napětí. Velikost rezistoru  $R1$  je standardně volena 10 kΩ. Výstupního napětí 5,0 V lze dosáhnout následujícím způsobem. Do rovnice 2.1 je dosazena hodnota za  $R1$  a  $U_{OUT}$  a dopočtena velikost  $R2$ .

$$R2 = \frac{10 \cdot 1,221}{5,0 - 1,221} = 3,23 \text{ k}\Omega$$

Nejbližší možná hodnota je 3,3 kΩ. Toto zaokrouhlení vede k odchylce výstupního napětí a proto byla metodou „pokus - omyl“ nalezena lepší kombinace rezistorů. Nalezené hodnoty odporů pro potřebná napětí 1,8 V, 3,3 V a 5,0 V jsou uvedeny v tabulce tab. 2.2.

Tab. 2.2: Hodnoty dělicích odporů pro různá napájecí napětí

R1 [kΩ]	R2 [kΩ]	U <sub>OUT</sub> [V]	
		skutečné	požadované
10,2	21,5	1,800	1,800
9,53	5,6	3,299	3,300
10,2	3,3	4,995	5,000

Napětí 5,0 V slouží k napájení FPGA modulu. Napětí 1,8 V slouží k napájení části obvodu AD9957 a k části obvodu FT232H. Maximální odebíraný proud je přibližně 800 mA. Napětí 3,3 V slouží k napájení všech ostatních obvodů a jeho maximální spotřeba je přibližně 300 mA.

Konkrétní zapojení obou napájecích částí i s hodnotami prvků je součástí přílohy (kapitola A.7).

### 2.2.8 Ostatní části modulátoru

Většina řídicích a příznakových signálů na celé desce je vyvedena na některý z konektorů JP3, JP5, JP6, JP7 nebo JP12. Konkrétní zapojení těchto konektorů je uvedeno v příloze a to sice v kapitole A.5 a A.6. Některé signály modulátoru AD9957 jsou vedeny přes dva na sobě nezávislé osminásobné oddělovací buffery s označením SN74LVC541APWR. Obvod IC19 lze ovládat pomocí propojky na konektoru JP2, obvod IC20 pomocí signálu „SWITCH“, který je vytvářen v FPGA obvodu.

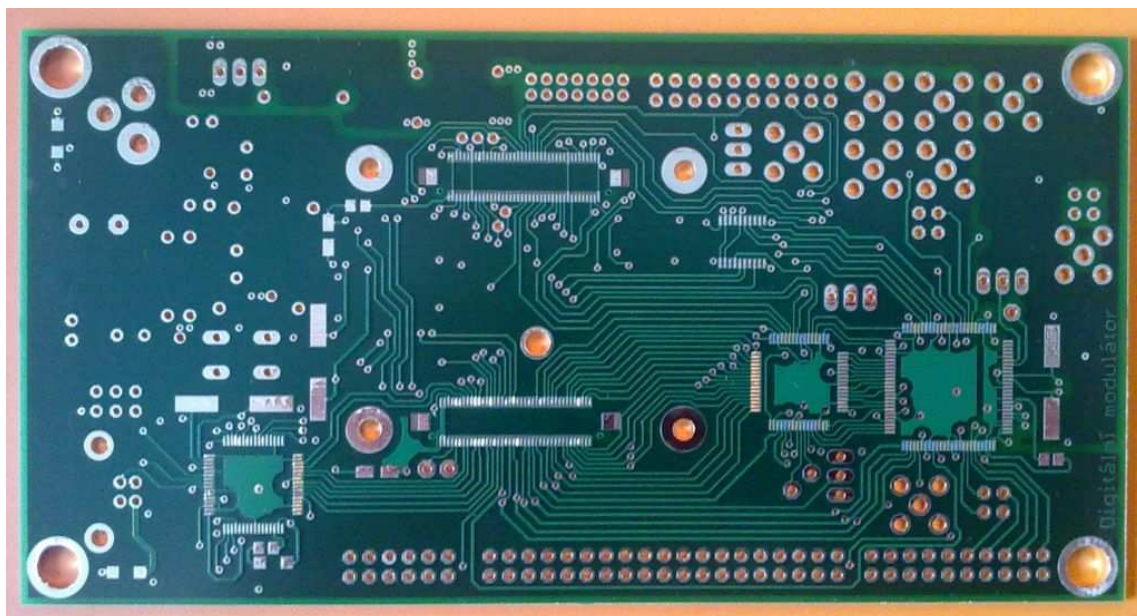


## 2.3 Deska plošných spojů

Deska celého modulátoru je navržena v programu Eagle. Jelikož by návrh na dvoustrannou desku nebyl prakticky možný, je navržena deska 4vrstvá s prokovy. Názvy jednotlivých vrstev jsou uvedeny v tab. 2.3. Minimální šířka cest je 0,25 mm. Průměr navržených prokovů byl zvolen 0,5 mm. Při výrobě bude tento rozměr ještě zmenšen o sílu stěn vytvořených prokovů. Deska má v rozích díry pro zamáčknutí gumových přístrojových nožiček nebo případně pro upevnění do jiného zařízení. Přibližně uprostřed desky je vytvořena ještě jedna díra s menším průměrem, která by měla sloužit jako případné další opěrné místo. Pro uchycení modulu TE0300 jsou v desce připraveny místa pro čtyři distanční sloupky. Celkový rozměr navržené desky je 145 mm x 75 mm. Realizovaná deska je na obr. 2.8.

Tab. 2.3: Názvy jednotlivých vrstev desky plošných spojů

Pořadí vrstvy (počítáno z vrchu dolů)	Hladina vrstvy v Eagle	Název vrstvy
1	1	Top
2	2	Zem
3	3	Napajeni
4	16	Bottom

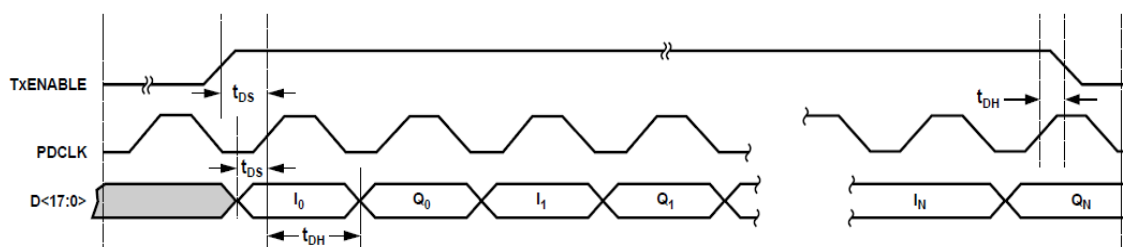


Obr. 2.8: Realizovaná deska plošných spojů.

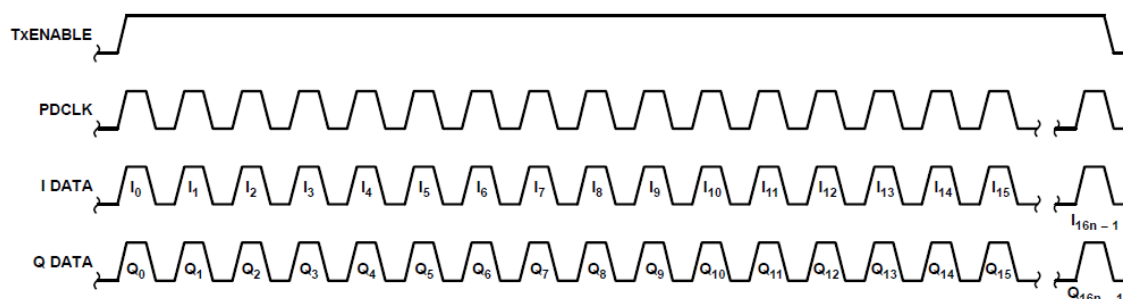
## 2.4 Princip modulace navrženým modulátorem

Vstupní data se v obvodu FPGA mapují do dvou 18bitových I a Q vektorů. To znamená, že každý bod v konstelačním diagramu může v obou osách nabývat až  $2^{18} = 262$  tisíc stavů.

Takto namapovaná data jsou přenášena na vstupní port obvodu AD9957, který má šířku taktě 18 bitů. Průběh přenosu obou vektorů je zobrazen na obr. 2.9. Jednotlivé vektory I a Q jsou vzájemně prokládány. Druhý způsob přenosu modulovaných symbolů do obvodu AD9957 je pomocí sériového přenosu I a Q vektorů. Tento způsob je označen jako BFI mód a je zobrazen na obr. 2.10.



Obr. 2.9: Časový průběh vstupních vektorů I a Q (převzato z [1]).



Obr. 2.10: Časový průběh vstupních vektorů I a Q v BFI módu (převzato z [1]).

V modulátoru AD9957 se vektory modulují pomocí kvadrurního modulátoru a následně je výsledný signál převeden do analogové podoby v DA převodníku.

Další možností modulace je využití sedmi programovatelných profilů. V každém profilu je uložena informace o frekvenci, amplitudě a fázovému posuvu. Přepínáním mezi jednotlivými profilem lze vytvářet modulaci. K přepínání dochází pomocí 3bitové sběrnice (na obr. 2.4 označena jako PROFILE) a jedním synchronizačním signálem (na obr. 2.4 označen jako I/Q UPDATE). K přepínání profilů dochází podle tab. 2.4.



Tab. 2.4: Přepínání profilů v závislosti na signálech sběrnice

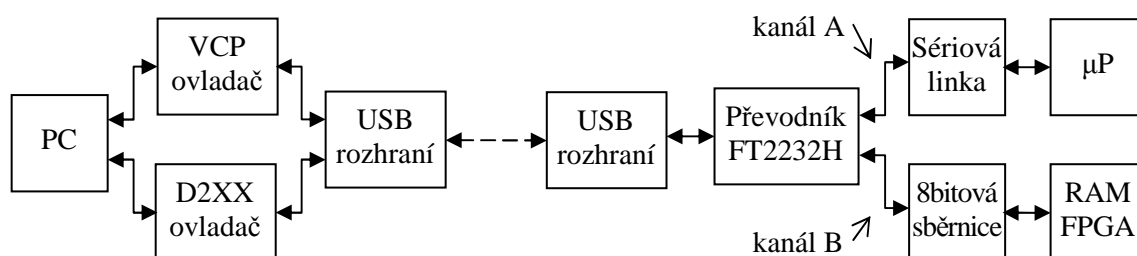
PROFILE <2:0>	Aktivní profil
000	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

Modulace pomocí AD9957 je také možná pomocí funkce OSK (Output Shift Keying), kde dochází k přepínání amplitudy výstupního signálu. Amplitudu lze nastavit pomocí registru ASF, který leží na adrese 0x09. Tento způsob modulace lze využít pouze v „single tone“ módu.

Další možností vytváření signálu je pomocí vyčítání z RAM paměti, kterou má v sobě obvod AD9957 integrovanou. Paměť má velikost 1024 a šířku 32 bitů.

## 2.5 Způsob připojení zařízení k PC

Ovládání a komunikace mezi modulátorem a ovládacím počítačem je fyzicky realizováno sběrnici USB. Jelikož je protokol sběrnice USB poměrně složitý, je pro komunikaci s mikrokontrolérem a ovládání modulátoru vytvořena virtuální sériová linka (kanál A) pomocí VCP ovladače v PC a obvodu FT2232 v zařízení. Přenos probíhá na textové úrovni a je zobrazen na obr. 2.11 (vrchní cesta). Ovládání sériové linky je mnohem jednodušší než ovládání sběrnice USB. Z pohledu ovládacího počítače se po připojení měřicí jednotky zařízení jeví jako by bylo připojeno pomocí nově vytvořeného COM. Jednotlivé textové ovládací příkazy jsou přenášeny znak po znaku po virtuální sériové lince. Pro přenos dat do a z paměti RAM FPGA obvodu lze využít druhý kanál převodníku FT2232. Na straně PC k tomuto účelu slouží ovladač D2XX. Více informací lze získat například v [8].



Obr. 2.11: Struktura připojení zařízení k PC.

## 2.6 Nastavení a ovládání modulátoru, komunikační příkazy

Komunikace mezi mikrokontrolérem v zařízení a ovládacím počítačem probíhá na textové úrovni pomocí asynchronní sériové linky. Komunikace mezi mikrokontrolérem a obvodem AD9957 probíhá pomocí synchronní sériové sběrnice.

### 2.6.1 Komunikace mikrokontroléru s AD9957

Režim činnosti a konfigurace modulátoru AD9957 je nastavována pomocí registrů. Obvod AD9957 má celkově 20 uživatelí přístupných registrů, které leží na adresách 0x00 až 0x19 s rozložením dle tab. 2.5.

Tab. 2.5: Přehled registrů obvodu AD9957.

Adresa	Název	Šířka [b]
0x00	Control Function Register 1 - CFR1	32
0x01	Control Function Register 2 - CFR2	32
0x02	Control Function Register 3 - CFR3	32
0x03	Auxiliary DAC Control Register	32
0x04	I/O Update Rate Register	32
0x05	RAM Segment Register 0	48
0x06	RAM Segment Register 1	48
0x09	Amplitude Scale Factor Register - ASF	32
0x0A	Multichip Sync Register	32
0x0E	Profile 0 Register	64
0x0F	Profile 1 Register	64
0x10	Profile 2 Register	64
0x11	Profile 3 Register	64
0x12	Profile 4 Register	64
0x13	Profile 5 Register	64
0x14	Profile 6 Register	64
0x15	Profile 7 Register	64
0x16	RAM Register	32
0x18	GPIO Configuration Register	16
0x19	GPIO Data Register	16

Zápis a čtení jednotlivých bajtů a bitů paměti obvodu AD9957 je realizováno synchronní sériovou sběrnici. V mikrokontroléru je využita přímo sběrnice SPI, kterou ATmega32 podporuje. Konkrétní význam jednotlivých bitů je přiložen v příloze, nebo ho lze nalézt v [1].

## 2.6.2 Komunikace mikrokontroléru s ovládacím PC

Ovládací příkazy jsou rozděleny do několika skupin. Obecné příkazy jsou částečně kompatibilní se standardními SCPI příkazy (Standard Commands for Programmable Instruments). Standard SCPI je souhrn příkazů a pravidel pro komunikaci mezi řídicí jednotkou a zařízením v automatizovaném měřicím systému, nezávislý na technickém řešení ani na technickém protokolu přenosu dat. Více informací o SCPI lze nalézt například v [11].

Jednotlivé části následujících příkazů jsou odděleny znakem ':' a rozděleny maximálně do čtyř částí. Na většinu nastavení a aktuálních stavů se lze dotázat pomocí operátoru '?'. Po vyslání dotazu na určitou hodnotu je přijatá hodnota buď ve formátu reálného čísla s desetinou čárkou, nebo v podobě hexadecimálního čísla, které začíná znaky „0x“. Pokud není příkaz zařízením podporován, je vrácen řetězec „UNKNOWN\_COMMAND“.

Nastavení módu modulátoru:

MODE:QM	Kvadrurní modulační mód QDUC
MODE:QMBFI	Kvadrurní modulační mód QDUC s Blackfin rozhraním BFI
MODE:IDAC	Intrpolační DAC mód
MODE:ST	Generátor jednoho tónu
MODE:RAM:START	Spuštění procesu nahrávání dat do RAM pomocí USB
MODE:RAM:END	Zastavení procesu nahrávání dat do RAM pomocí USB
MODE:MOD:ON	Spuštění procesu modulace
MODE:MOD:OFF	Zastavení procesu modulace

Nastavení režimů snížené spotřeby (Power Down):

PD:DIGITAL:ON	Zapnutí digitálního jádra modulátoru
PD:DIGITAL:OFF	Vypnutí digitálního jádra modulátoru
PD:DAC:ON	Uvedení DA převodníku do provozního režimu
PD:DAC:OFF	Uvedení DA převodníku do režimu spánku
PD:CLKI:ON	Povolení vstupního referenčního kmitočtu a zapnutí PLL smyčky
PD:CLKI:OFF	Zakázání vstupního referenčního kmitočtu a vypnutí PLL smyčky
PD:ADAC:ON	Zapnutí hodinového signálu AD převodníku
PD:ADAC:OFF	Vypnutí hodinového signálu AD převodníku
PD:EXT:ON	Zapnutí externího vstupu hodinového signálu
PD:EXT:OFF	Vypnutí externího vstupu hodinového signálu

Příkazy pro reset jednotlivých částí modulatoru:

RST:IO	Reset vstupní 18bitové sběrnice obvodu AD9957
RST:AD	Master reset obvodu AD9957
RST:FIFO	Reset FIFO paměti
RST:FPGA	Reset obvodu FPGA
RST:USB	Reset komunikace na USB sběrnici, reset obvodu FT2232
OSK:PIN:ON	Nastaví pin OSK do aktivní úrovně
OSK:PIN:OFF	Nastaví pin OSK do neaktivní úrovně

Nastavení DA převodníku:

DA:ASF X	Nastavení maximální amplitudy DA převodníku na hodnotu X
DA:ARR X	Nastavení velikosti kroku na hodnotu X
DA:ASS X	Nastavení kroku amplitudy na hodnotu X, vztaženou k váze LSB bitu OSK výstupu

Zápis a čtení jednotlivých hodnot registrů v paměti AD9957:

REG:0xA,0XXX	Zápis hexadecimální hodnoty XXX na adresu A, vyjádřenou v hexadecimálním tvaru
REG:0xA?	Dotaz na hodnotu registru na adrese A

Nastavování a čtení jednotlivých bitů v paměti AD9957:

BIT:CLR A,i	Nastavení bitu na adrese A a pozici i na logickou „0“
BIT:SET A,i	Nastavení bitu na adrese A a pozici i na logickou „1“
BIT:A,i?	Dotaz na hodnotu bitu na adrese A a pozici i

Nastavení jednotlivých modulačních profilů a ostatních modulačních způsobů:

PROF:FREQ n,X	Nastavení frekvence X [MHz] profilu n
PROF:PHAS n,X	Nastavení fázového posuvu X profilu n
PROF:AMPL n,X	Nastavení amplitudy X profilu n
PROF:OSF n,X	Nastavení Output Scale Factoru X profilu n
PROF:CCIR n,X	Nastavení interpolace CCI filtru na hodnotu X
PROF:CCIB n,ON	Přemostění inverzního CCI filtru
PROF:CCIB n,OFF	Zařazení inverzního CCI filtru
PROF:SPCI n,ON	Zapnutí funkce invertování spektra
PROF:SPCI n,OFF	Vypnutí funkce invertování spektra

Systémové vlastnosti:

SYST:ERR?	Ověří, zda nedošlo k nějaké chybě zařízení.
SYST:CLK?	Dotaz na aktuální systémovou frekvenci zařízení

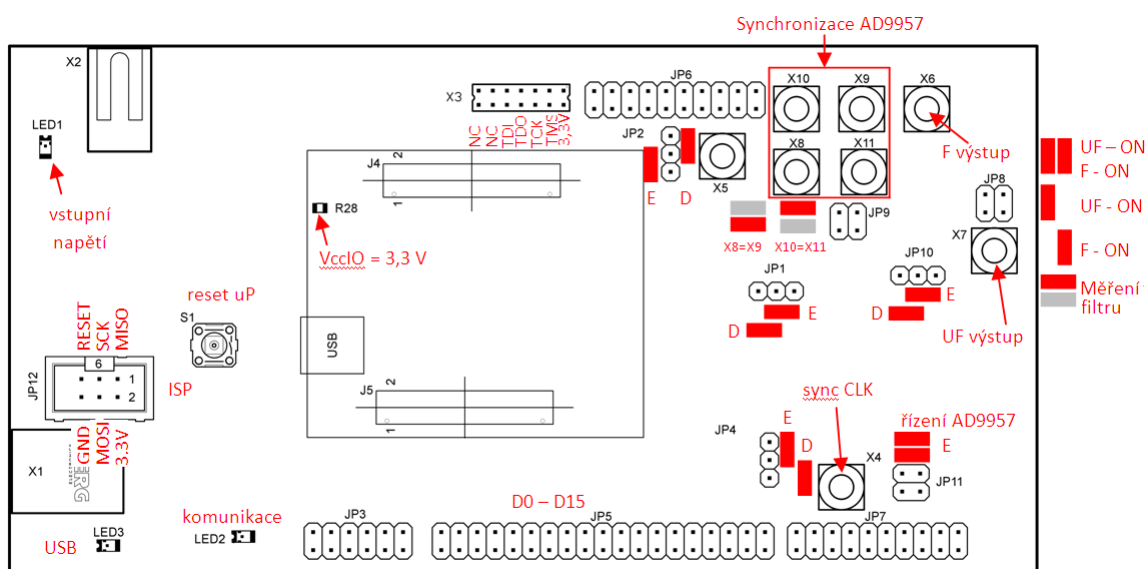
Obecné přístrojové příkazy:

Příkaz začíná hvězdičkou, má tři znaky, a pokud za nimi následuje otazník, přístroj je povinen vrátit odpověď.

*IDN?	Dotaz na specifikaci zařízení
*RST	Nulování modulátoru, reset všech obvodů. Ukončení probíhající operace a nastavení zařízení do klidového stavu.
*CLS	Nulování systémové chyby zařízení
*TST	Provede test modulátoru
*TST?	Vrátí „OK“ pokud test modulátoru proběhl správně
*STB?	Dotaz na hodnotu Status Byte Registru

### 2.6.3 Funkce propojek a umístění některých pinů na DPS

Na obr. 2.12 jsou nakresleny různé možnosti zapojení propojek a vyznačeny některé významné konektory a piny. Zkratka „E“ znamená povoleno, „D“ nepovoleno, „F“ filtrovaný výstup a „UF“ nefiltrovaný výstup.



Obr. 2.12: Možnosti nastavení jednotlivých propojek na DPS modulátoru.

## 2.7 Popis software

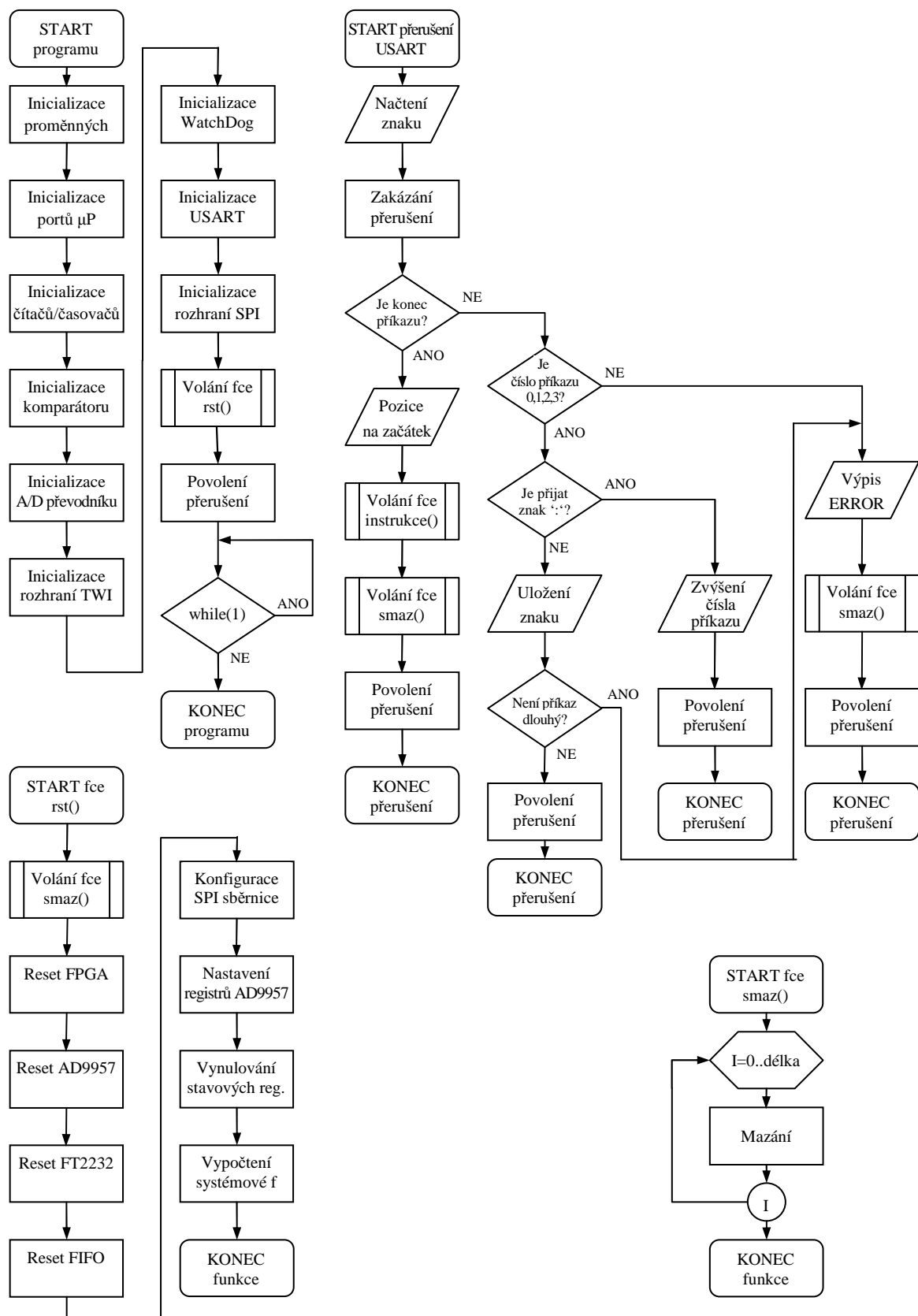
### 2.7.1 Firmware řídicího mikrokontroléru

Firmware pro řídicí mikrokontrolér ATmega32 byl napsán ve vývojovém prostředí CodeVisionAVR C. Toto prostředí obsahuje nejen samotný překladač jazyka C, ale také průvodce pro automatické generování zdrojového kódu a knihovny pro ovládání různých periférií (viz [9]).

Hlavní část programu (kostra) je naznačena na obrázku 2.13. Mikrokontrolér je taktován krystalem o frekvenci 8 MHz. Po zapnutí mikrokontroléru se provede inicializace globálních proměnných, poté nastavení jednotlivých pinů portů A, B, C a D jako vstupní či výstupní. Pokud je pin nakonfigurován jako výstupní, je mu nastavena logická úroveň „0“ nebo „1“. Pokud je pin vstupní, je zvoleno, zda má být ve stavu vysoké impedance nebo připojen pull-up rezistor. Dále se nastavují jednotlivé periferie mikrokontroléru. Všechny tři čítače/časovače, analogový komparátor, integrovaný A/D převodník, jednotka TWI (I<sup>2</sup>C) a WDT (WatchDog) jsou vypnuty. Jednotka USART je nastavena na příjem a vysílání asynchronních rámců o osmi datových bitech, bez parity a s jedním stop bitem. Rychlost komunikace je nastavena na 9600 Baud. SPI sběrnice je používána v režimu 0. To znamená, že mikrokontrolér je konfigurován jako Master, nejdříve se přenáší nejvýznamnější bit MSB a na konec nejméně významný bit LSB, neaktivní polarita hodinového signálu je nízká a čtení probíhá na vzestupnou hranu hodinového signálu. Frekvence hodinového signálu je pomocí děličky  $f_{osc}/4$  nastavena na 2 MHz. Po inicializaci periférií je volána funkce `rst()`, jejíž vývojový diagram je zobrazen na obrázku obr. 2.13 a povoleno globální přerušení. Program poté vstoupí do nekonečné smyčky `while(1)` a čeká na přerušení od jednotky USART při příjmu znaku.

Postup programu po přijmutí znaku je naznačen na obrázku 2.13. Každý přijatý znak ovládacího příkazu je uložen na stanovenou pozici. Celý příkaz je rozdělen na několik dílčích částí. Maximálně však na čtyři. Jednotlivé části jsou odděleny znakem ':'. Znak '\n' označuje konec ovládacího příkazu a po jeho přijmutí se zakáže přerušení od jednotky USART a zavolá funkce `instrukce()`. Funkce `instrukce()` rozhoduje o tom jaký příkaz byl přijat, volá jednotlivé funkce pro ovládání, nastavování, čtení a výpis. Její struktura je zobrazena na obrázku obr. 2.14. Pokud se přijatý příkaz neshoduje s žádným, který je zařízením podporován, je nazpět vyslán řetězec „UNKNOWN\_COMMAND“. Při rozeznání konkrétní instrukce se kontroluje, zda jsou v pořádku všechny vstupní parametry a poté je zavolána funkce pro její vykonání. Po vykonání instrukce se volá funkce `smaz()`, která vymaže celý přijatý ovládací příkaz. Nakonec je povoleno přerušení a tím je měřicí jednotka připravena na příjem dalšího příkazu.

Vytvořený firmware verze 1.0 zabírá přibližně 50 % paměti mikrokontroléru. Tento firmware lze nalézt na přiloženém paměťovém médiu, které je součástí této práce. Zdrojový kód v jazyce C má název „firmware.c“ a přeložený kód, vhodný pro implementaci přímo do mikrokontroléru, má název „firmware.hex“.



Obr. 2.13: Vývojový diagram hlavního programu.

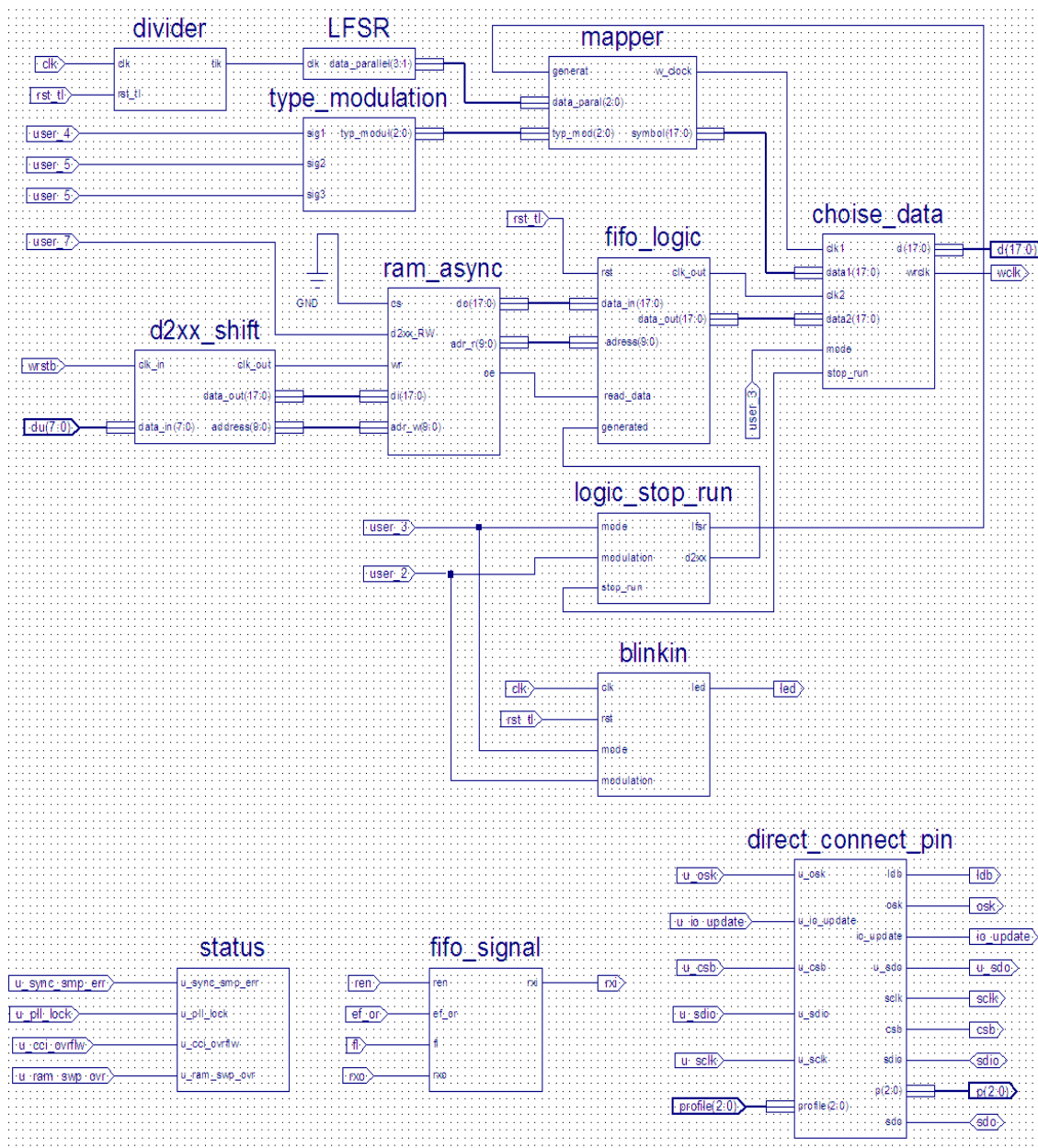
(funkce main(), rst(), smaz() a obsluha přerušení jednotky USART)





## 2.7.2 Konfigurace FPGA obvodu

Konfigurace FPGA obvodu byla vytvořena ve vývojovém ISE WebPack 10.1 od firmy Xilinx. Základní nastavení projektu je zachyceno na obr. 2.16. Vrcholový popis obvodu byl popsán pomocí schématu. Jednotlivé moduly schématu byly napsány v jazyce VHDL (Hardware Description Language). Výsledný popis konfigurace je uveden na obr. 2.15. Více informací o jazyce VHDL lze nalézt v [11].

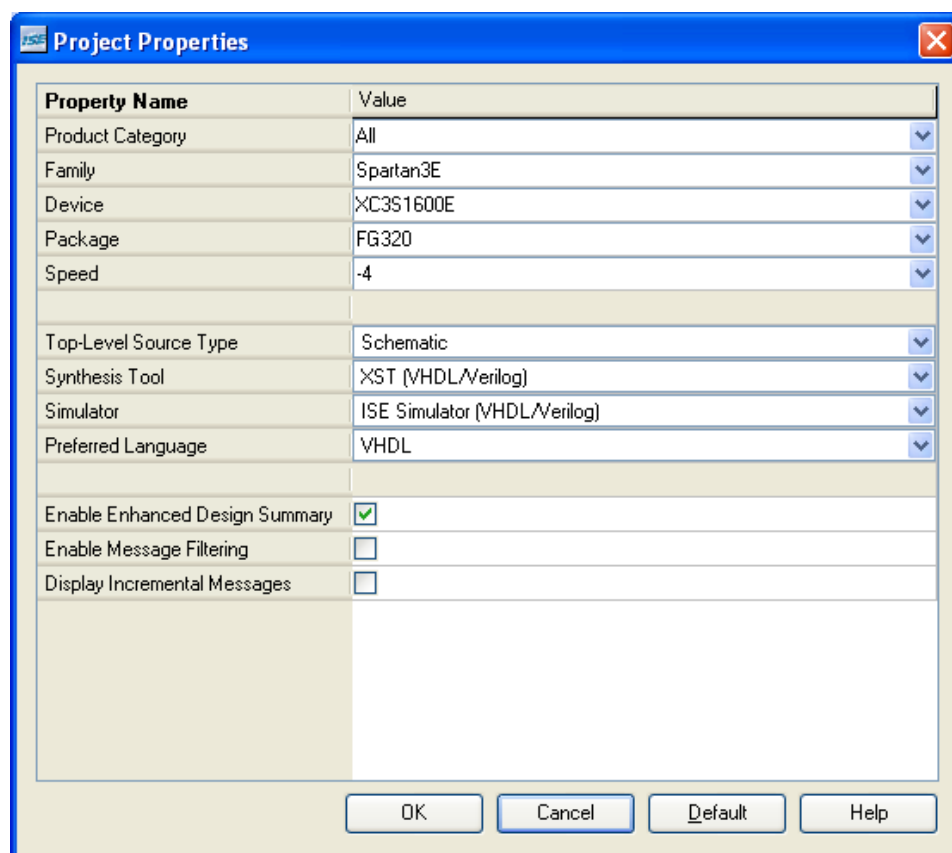


Obr. 2.15: Popis konfigurace FPGA obvodu pomocí vrcholového schématu.

Zdrojové kódy jednotlivých modulů v jazyce VHDL jsou na přiloženém paměťovém médiu. Získávání dat modulačních dat je možno dvěma způsoby. První možností je pomocí generování symbolů přímo v FPGA a druhou možností je získávání dat z PC přes rozhraní USB.

Generování dat přímo v obvodu FPGA je založeno na použití LFSR registru. Tedy posuvného registru se zpětnou vazbou (modul s označením „LFSR“), který generuje náhodná čísla. Rychlost generování čísel je upravena pomocí děličky kmitočtu v bloku „divider“. Dále jsou tato čísla v bloku „mapper“ mapována na jednotlivé symboly do konstelačního diagramu a vyjádřena pomocí 18bitů. Pokud jsou data získávány pomocí PC, jsou 18bitové symboly nejdříve uloženy do paměti RAM, která je vytvořena přímo v FPGA. Vstupní data jsou posílána po 8bitové sběrnici, a proto jsou nejdříve v bloku „d2xx\_shift“ spojena v 18bitové symboly. Data z paměti RAM jsou průběžně vyčítána tehdy, pokud není paměť FIFO plná. V blocích „fifo\_logic“, „logic\_stop\_run“ a „choise\_data“ je rozhodováno o tom, jaké děje jsou v daný okamžik aktivní. Blok s označením „blinking“ určuje, jakým způsobem bude blikat LED dioda integrovaná přímo na modulu s FPGA obvodem. Podle rychlosti blikání může uživatel určit, v jakém stavu se modulátor aktuálně nachází. Moduly „status“ a „fifo\_signal“ slouží pro nastavování a zjišťování aktuálních stavů modulátoru. Blok „direct\_connect\_pin“ slouží k přímému propojení signálů.

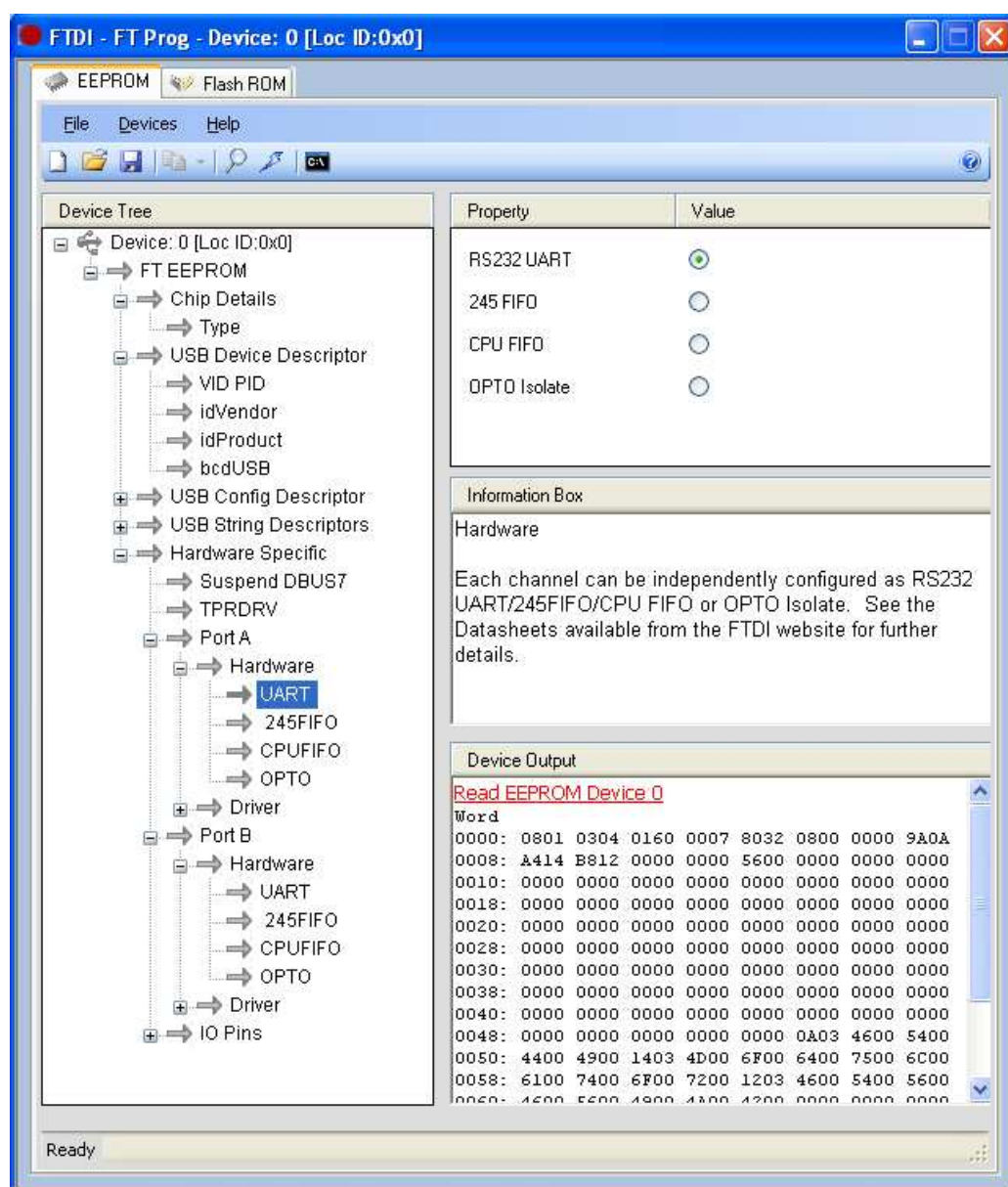
Výsledená konfigurace byla do FPGA nahrána pomocí FPGA USB JTAG kabelu od firmy Chips.



Obr. 2.16: Základní nastavení projektu v programu ISE

### 2.7.3 Konfigurace obvodu FT2232

Aby komunikace mezi PC a modulátorem byla funkční je třeba obvod FT2232 i ovládací PC správně nastavit. Obvod FT2232 je konfigurován pomocí externí paměti EEPROM, která je součástí navrženého zapojení. Pro její konfiguraci byl použit program FT\_Prog od firmy FTDI Chip (viz obr. 2.17). Kanál A tohoto obvodu je konfigurován jako asynchronní sériová linka RS232 a kanál B je přepnut do režimu s názvem „ASYNC Bit-bang“. Pro správnou funkčnost komunikace je nutné mít na ovládacím PC nainstalovány dva ovladače. Prvním je ovladač s názvem D2XX a druhým je ovladač virtuální sériové linky. Oba ovladače je možno stáhnout buď přímo ze stránek firmy FTDI Chip, nebo je lze nalézt na přiloženém paměťovém médiu.



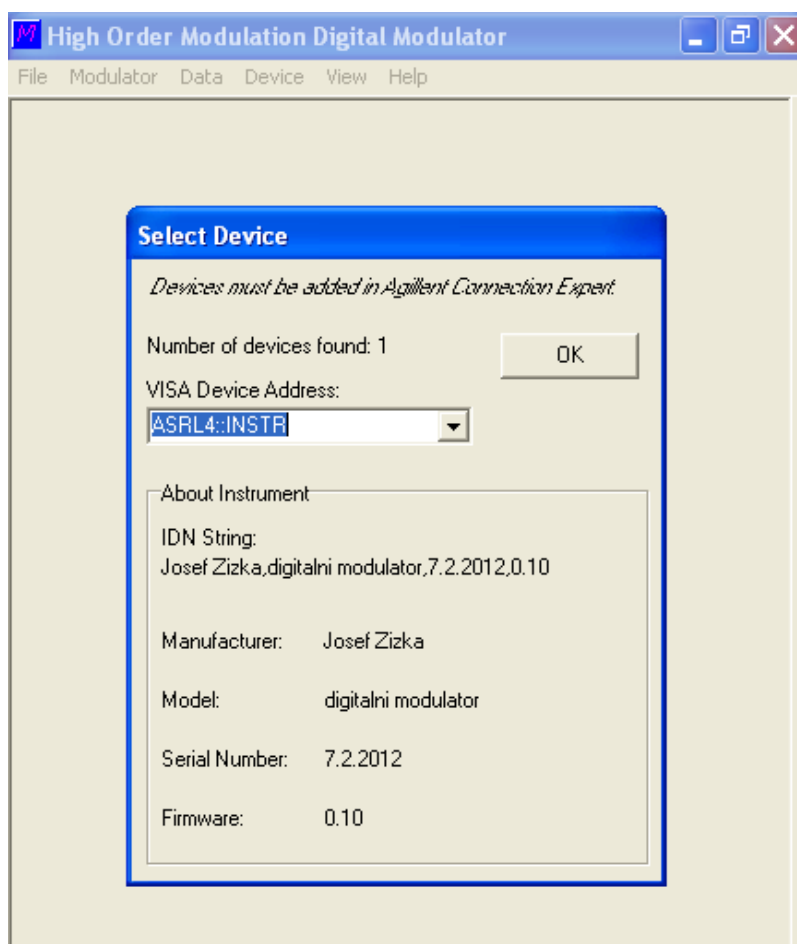
Obr. 2.17: Program FT\_Prog pro konfiguraci FT2232 obvodu.

## 2.7.4 Aplikační program pro PC

Aplikační program pro PC byl vytvořen ve vývojovém prostředí C++ Builder 6 od firmy Borland. Celý program je navržen jako aplikace s rozhraním MDI (Multiple Document Interface). Navržená aplikace má tedy jedno hlavní (rodičovské) okno a několik oken vnořených (dětských). Do projektu byla implementována knihovna VISA32.lib s hlavičkovým souborem visa.h a knihovna FTD2XX.lib s hlavičkovým souborem Ftd2xx.h. Knihovna VISA32.lib byla vytvořena pomocí programu „implib“ překladem ze standardní knihovny VISA32.dll, kterou dodává firma Agilent.

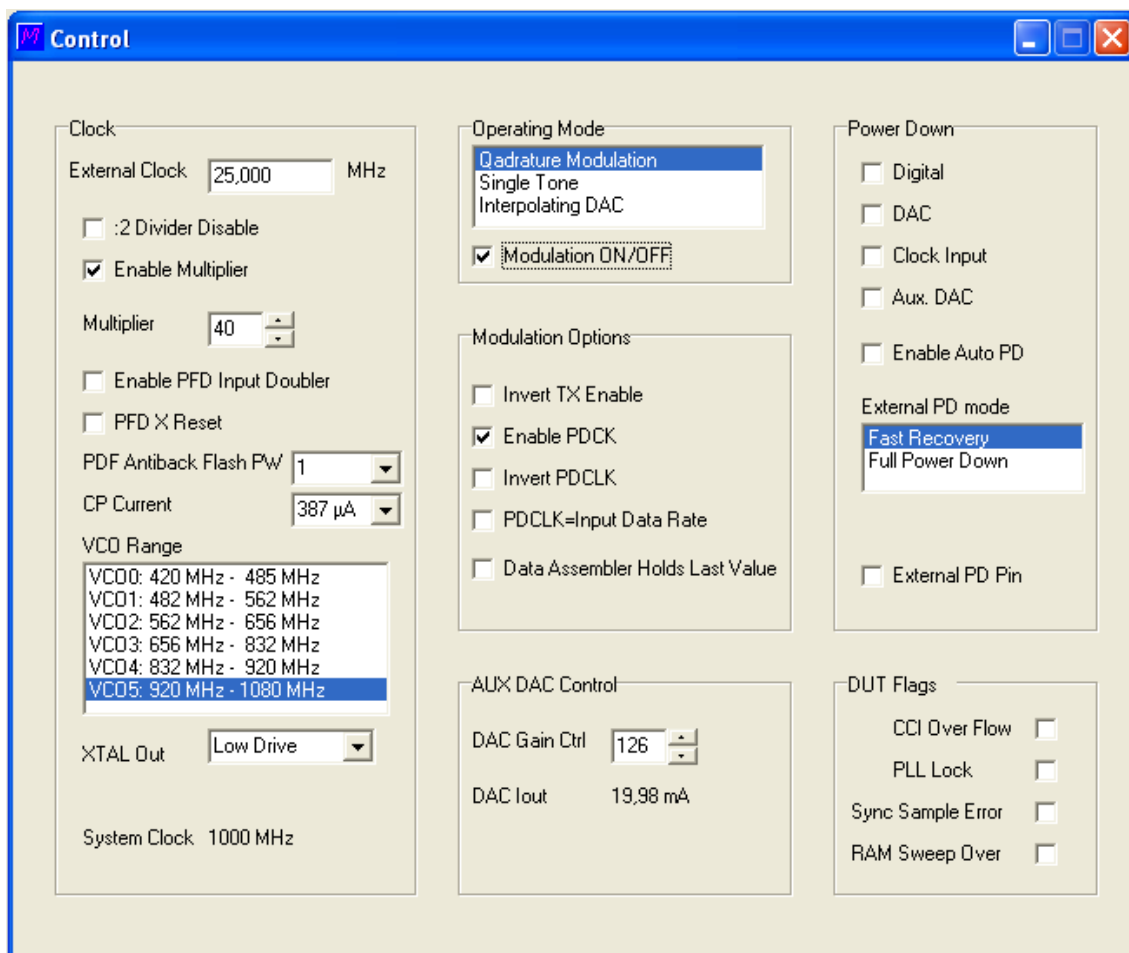
Před vlastním používáním ovládací aplikace je nutné modulátor přidat do správce zařízení Instrument I/O od firmy Agilent. Zařízení je připojeno pomocí asynchronní sériové linky a mělo by být nalezeno a přidáno při automatickém prohledávání všech rozhraní. Jeho VISA adresa musí mít tvar „ASRLx::INSTR“, kde x je pořadové číslo používaného COM portu.

Po spuštění ovládací aplikace je nutné vybrat adresu zařízení tak, jak je zobrazeno na obr. 2.18 a následně potvrdit tlačítkem OK.



Obr. 2.18: Ovládací aplikace - Okno pro výběr zařízení modulátoru.

Pokud připojení zařízení proběhne v pořádku, okno zmizí a na obrazovce zůstane pouze hlavní okno celé aplikace (pozadí obrázku 2.18). Ze standardního menu, které je umístěno v levé horní části obrazovky lze otvírat jednotlivá vnořená okna a vyvolávat různé akce. Vybírat lze z pěti nabídek. Struktura menu je vyjádřena v tab. 2.6. Okno s názvem „Control Window“ je zobrazeno na obr. 2.19. Nastavuje se zde způsob získávání systémových hodin, pracovní mód obvodu AD9957, zisk DA převodníku a režim snížené spotřeby. V pravé dolní části s názvem „DUT Flags“ jsou zobrazovány a automaticky obnovovány aktuální stavy některých signálů. Okno „Profile Window“ je na obr. 2.20, „Profile ST Window“ na obr. 2.21, „Serial IO Window“ na obr. 2.22, a okna „Data to RAM“ a „OSK Control“ na obr. 2.23.



Obr. 2.19: Ovládací aplikace – Okno Control.

Tab. 2.6: Struktura menu ovládací aplikace

Základní nabídka	Podnabídka	Popis činnosti
File	Load Setup...	Otevření dialogového okna pro načtení dříve uloženého konfigurace obvodu AD9957 z textového souboru
	Save Setup...	Otevření dialogového okna pro uložení aktuální konfigurace obvodu AD9957 do textového souboru
	Exit	Ukončení aplikace
Modulator	Control Window	Otevření okna Control Window pro všeobecné ovládání modulátoru AD9957
	Command Window	Otevření okna pro vysílání a přijímání jednotlivých příkazů
	Seriál IO Window	Otevření okna pro pohodlné nastavování registrů obvodu AD9957
	OSK Control Window	Otevření okna pro ovládání modulace pomocí OSK
	Profile Window	Otevření okna, ve kterém lze nastavovat aktuální profil a jednotlivé parametry každého profilu
	Profile ST Window	Otevření okna podobného Profile Window, ale pro "single tone" mód modulátoru
	Register Map	Otevření okna pro přehledné zobrazení registrové mapy obvodu AD9957
Data	Load Data To RAM	Otevře okno, ve kterém lze otevřít textový soubor s modulačními symboly a nahrát ho do paměti obvodu FPGA
Device	About Device	Otevření okna se základní identifikací připojeného zařízení
	Change Device	Otevření okna pro změnu používaného zařízení
	Reset Device	Po stisku se provede reset celého modulátoru
	Reset AD9957	Po stisku se provede Master reset celého obvodu AD9957
	Reset FIFO	Po stisku se provede reset a vyprázdnění paměti FIFO
	Reset FPGA	Po stisku se provede reset obvodu FPGA
	Reset IO	Po stisku se provede reset vstupní datové sběrnice obvodu AD9957
	Reset USB	Po stisku se provede reset USB sběrnice a reset obvodu FT2232
View	Arrange Icons	Po stisku se porovnají minimalizovaná vnořená okna
	Cascade	Po stisku se za sebe vyrovnají všechna aktuálně otevřená vnořená okna
	Title	Po stisku vedle sebe vyrovnají všechna aktuálně otevřená vnořená okna
Help	About...	Otevření okna s informacemi "O programu"

**Profile Quadrature Modulation and Interpolating DAC**

Profile 0	Profile 3	Profile 6
Output Frequency: 130,000000 MHz	Output Frequency: 0 MHz	Output Frequency: 0 MHz
Phase Offset: 22,53000 Deg	Phase Offset: 0 Deg	Phase Offset: 0 Deg
Output Scale Factor: 123,89	Output Scale Factor: 0	Output Scale Factor: 0
CCI Interpolate Rate: 8 <input type="button" value="Write"/>	CCI Interpolate Rate: 0 <input type="button" value="Write"/>	CCI Interpolate Rate: 0 <input type="button" value="Write"/>
<input checked="" type="checkbox"/> Inverse CCI Bypass <input type="checkbox"/> Spectral Inversion	<input type="checkbox"/> Inverse CCI Bypass <input type="checkbox"/> Spectral Inversion	<input type="checkbox"/> Inverse CCI Bypass <input type="checkbox"/> Spectral Inversion

Profile 1	Profile 4	Profile 7
Output Frequency: 0 MHz	Output Frequency: 0 MHz	Output Frequency: 0 MHz
Phase Offset: 0 Deg	Phase Offset: 0 Deg	Phase Offset: 0 Deg
Output Scale Factor: 0	Output Scale Factor: 0	Output Scale Factor: 0
CCI Interpolate Rate: 0 <input type="button" value="Write"/>	CCI Interpolate Rate: 0 <input type="button" value="Write"/>	CCI Interpolate Rate: 0 <input type="button" value="Write"/>
<input type="checkbox"/> Inverse CCI Bypass <input type="checkbox"/> Spectral Inversion	<input type="checkbox"/> Inverse CCI Bypass <input type="checkbox"/> Spectral Inversion	<input type="checkbox"/> Inverse CCI Bypass <input type="checkbox"/> Spectral Inversion

Profile 2	Profile 5	Activate Profile	Setup
Output Frequency: 0 MHz	Output Frequency: 0 MHz	<input checked="" type="radio"/> Profile 0	<input type="checkbox"/> Q First Data Pairing
Phase Offset: 0 Deg	Phase Offset: 0 Deg	<input type="radio"/> Profile 1	<input type="checkbox"/> Enable Profile ASF
Output Scale Factor: 0	Output Scale Factor: 0	<input type="radio"/> Profile 2	<input checked="" type="checkbox"/> Enable Inverse Sinc
CCI Interpolate Rate: 0 <input type="button" value="Write"/>	CCI Interpolate Rate: 0 <input type="button" value="Write"/>	<input type="radio"/> Profile 3	<input type="checkbox"/> Enable Sine Out
<input type="checkbox"/> Inverse CCI Bypass <input type="checkbox"/> Spectral Inversion	<input type="checkbox"/> Inverse CCI Bypass <input type="checkbox"/> Spectral Inversion	<input type="radio"/> Profile 4	<input type="button" value="Clear CCI"/>
		<input type="radio"/> Profile 5	
		<input type="radio"/> Profile 6	
		<input type="radio"/> Profile 7	

Send Command: REG:0x00?

Obr. 2.20: Ovládací aplikace – Okno Profile.

**Profile Single Tone**

Profile 0	Profile 3	Profile 6
Output Frequency: 140,000000 MHz	Output Frequency: 0 MHz	Output Frequency: 0 MHz
Phase Offset: 123,4500 Deg	Phase Offset: 0 Deg	Phase Offset: 0 Deg
Amplitude SF: 0,6546 <input type="button" value="Write"/>	Amplitude SF: 0 <input type="button" value="Write"/>	Amplitude SF: 0 <input type="button" value="Write"/>

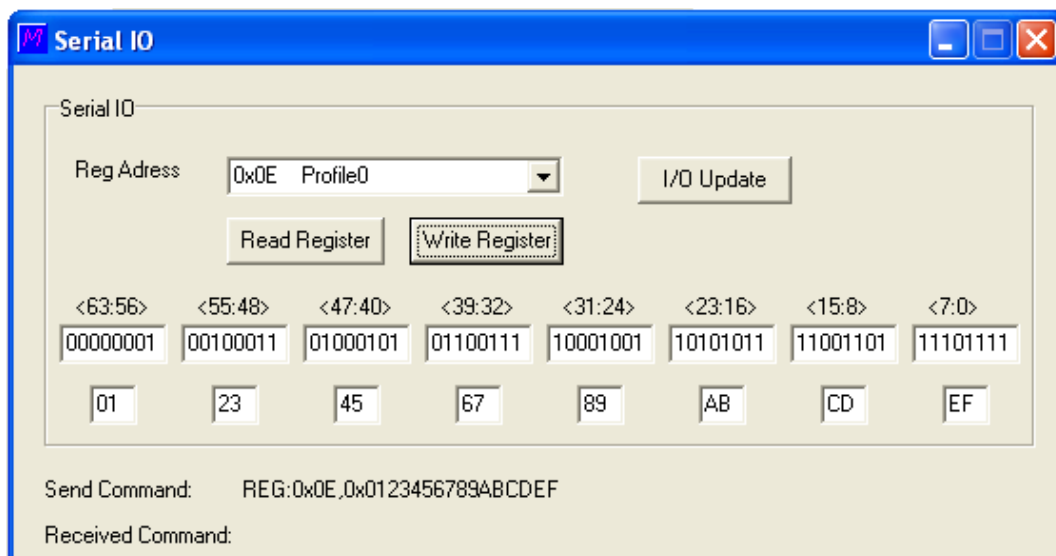
Profile 1	Profile 4	Profile 7
Output Frequency: 0 MHz	Output Frequency: 0 MHz	Output Frequency: 0 MHz
Phase Offset: 0 Deg	Phase Offset: 0 Deg	Phase Offset: 0 Deg
Amplitude SF: 0 <input type="button" value="Write"/>	Amplitude SF: 0 <input type="button" value="Write"/>	Amplitude SF: 0 <input type="button" value="Write"/>

Profile 2	Profile 5	Activate Profile	Setup
Output Frequency: 0 MHz	Output Frequency: 0 MHz	<input checked="" type="radio"/> Profile 0	<input type="checkbox"/> Q First Data Pairing
Phase Offset: 0 Deg	Phase Offset: 0 Deg	<input type="radio"/> Profile 1	<input type="checkbox"/> Enable Profile ASF
Amplitude SF: 0 <input type="button" value="Write"/>	Amplitude SF: 0 <input type="button" value="Write"/>	<input type="radio"/> Profile 2	<input type="checkbox"/> Enable Inverse Sinc
		<input type="radio"/> Profile 3	<input type="checkbox"/> Enable Sine Out
		<input type="radio"/> Profile 4	<input type="button" value="Clear CCI"/>
		<input type="radio"/> Profile 5	
		<input type="radio"/> Profile 6	
		<input type="radio"/> Profile 7	

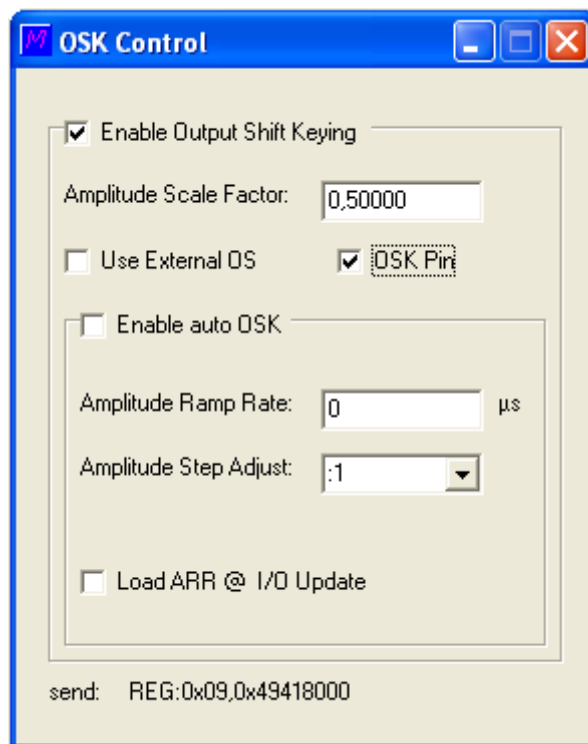
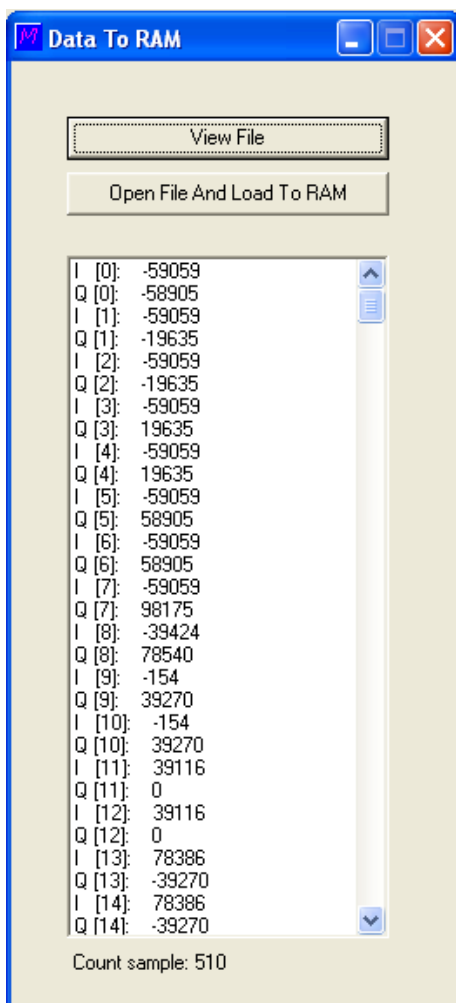
Send Command: PROF:0 ON

Obr. 2.21: Ovládací aplikace – Okno Profile ST.





Obr. 2.22: Ovládací aplikace – Okno Serial IO.



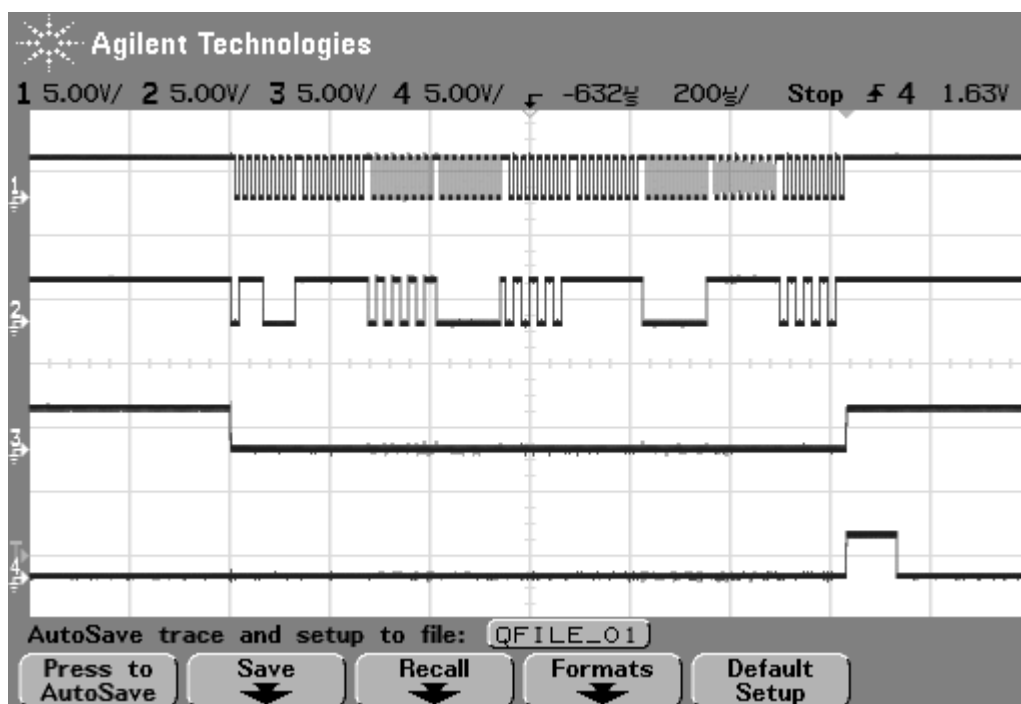
Obr. 2.23: Ovládací aplikace – Okno Data to RAM a okno OSK Control.



## 3 MĚŘENÍ VLASTNOSTÍ MODULÁTORU

### 3.1 Měření pomocí digitálního osciloskopu

Pomocí 4kanálového digitálního osciloskopu Agilent 54624A byla zaznamenána komunikace SPI sběrnice mezi mikrokontrolérem a obvodem AD9957. Konkrétně zápis hexadecimální hodnoty 0xFFAA00AAFF00FFAA na adresu 0x0E (Profile 0). Časový průběh signálů SPI sběrnice je na obr. 3.1.

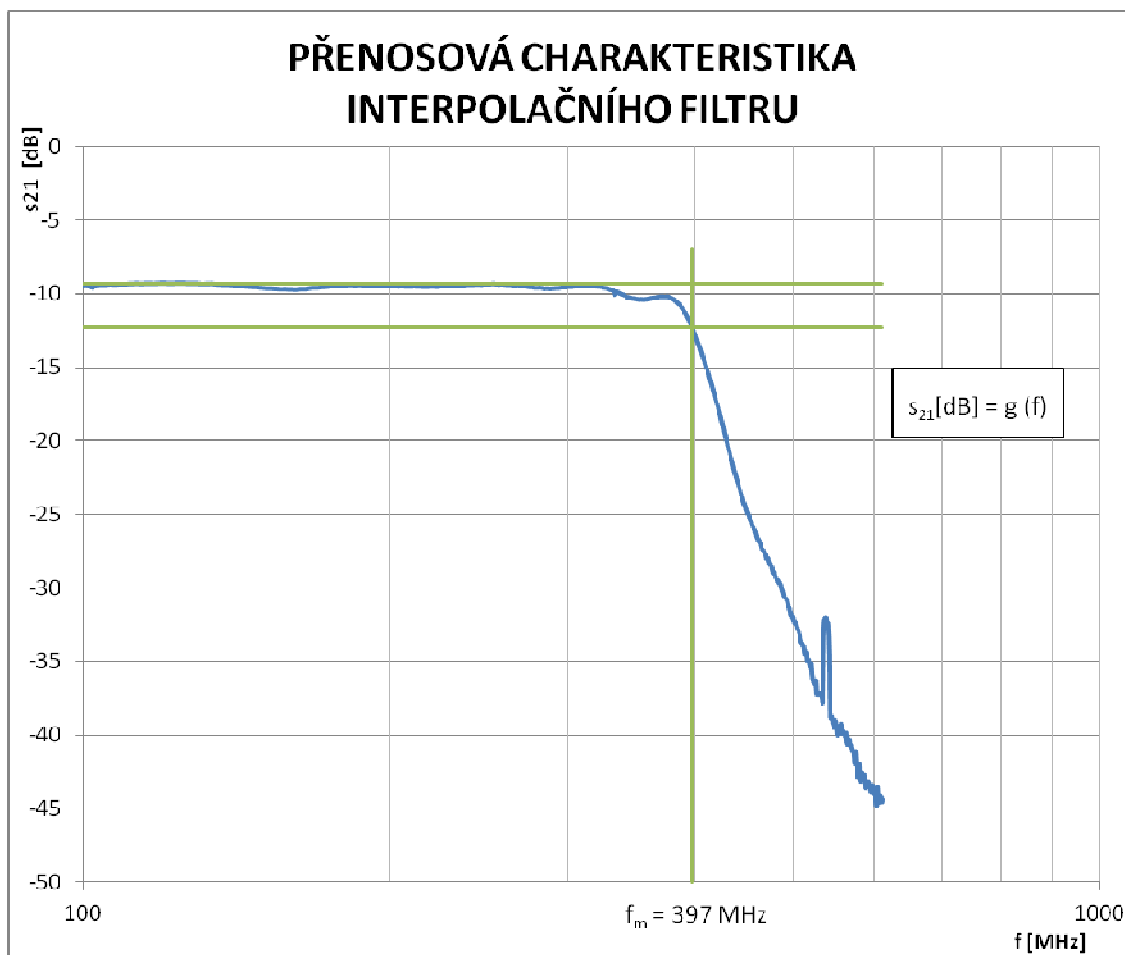


Obr. 3.1: Časový průběh signálů SPI sběrnice.

(kanál 1 – signál SCLK, 2 – SDIO, 3 - CSB, 4 – IO\_UPDATE)

## 3.2 Měření pomocí spektrálního analyzátoru

Pomocí spektrálního analyzátoru FSL3 od firmy Rohde & Schwarz byla změřena přenosová charakteristika interpolačního filtru. Její průběh je zaznamenán na obr. 3.2. Nastavení jednotlivých veličin je zapsáno v tab. 3.1. Mezní frekvence pro pokles o 3 dB je přibližně 397 MHz. Na frekvenci 539 MHz došlo k rušení signálem DVB-T.



Obr. 3.2 Přenosová frekvenční charakteristika interpolačního filtru.

Tab. 3.1: Přehled parametrů při měření přenosové frekvenční charakteristiky filtru

Osa x	Lineární
Start frequency	100 MHz
Stop	611 MHz
Ref Level	-43 dBm
Level Offset	0
Ref Position	100 MHz

Osa y	Logaritmická
Level Range	50 dB
Rf Att	0 dB
RBW	1 MHz
VBW	30 kHz
SWT	0,035 s

## 4 ZÁVĚR

V této práci je popsán základní princip vzniku diskretních modulací a některé jejich vlastnosti. Především pak modulací vícecestavových. Je představeno navržené blokové i konkrétní schéma vlastního modulátoru pro vícecestavové modulace s integrovaným obvodem AD9957. Tento obvod je blíže popsán v kapitole 2, kde jsou popsány i ostatní části zařízení, je zde představena navržená deska plošných spojů, která je 4vrstvá s prokovy. Dále vysvětlen způsob modulace a získávání vstupních modulovaných dat. Popsán způsob komunikace mezi modulátorem a ovládacím počítačem. Popsány konkrétní příkazy, které slouží pro ovládání a konfiguraci zařízení. V další části jsou vysvětleny záležitosti týkající se softwaru pro jednotlivé části modulátoru. Je zde vysvětlen firmware mikrokontroléru, konfigurace FPGA obvodu a nastavení převodníku FT2232. Závěr této kapitoly je věnován popisu vytvořené ovládací aplikace pro PC, která slouží především pro přehledné nastavování jednotlivých vlastností modulátoru bez nutnosti znát význam všech bitů registrové mapy obvodu AD9957. Mimoto slouží také pro ovládání modulace a generování vstupních dat. V kapitole 3 jsou zobrazeny některé naměřené výsledky.

Na přiloženém paměťovém médiu lze mimo jiné nalézt schéma a navrženou desku plošných spojů v programu Eagle, všechny podklady pro výrobu desky ve formátu Gerber, jednotlivé programy ve zdrojové i přeložené formě a fotografie modulátoru. Je zde také umístěna elektronická verze této práce.

Navržený modulátor by měl být využitelný pro různé druhy diskretních modulací. Modulátor AD9957 má dosti variabilní využití a proto univerzálnost celého zařízení závisí především na programovém vybavení. To znamená především na způsobu mapování, filtrování a získávání vstupních dat. Z tohoto důvodu bylo v návrhu modulátoru počítáno s obvodem FPGA, který lze pro takovéto účely s výhodami využít. Především díky univerzálnosti a malým rozměrům se jako nejvýhodnější ukázalo využití modulu TE0300 s obvodem FPGA od firmy Trenz electronic. Modul je k vlastnímu modulátoru připojen pomocí dvou 80ti pinových konektorů. Toto řešení také částečně zajišťuje možnost připojení modulátoru k jinému zdroji dat, než k obvodu FPGA. V této práci tato skutečnost nemá sice význam, ale význam by mohla mít v případném budoucím využití modulátoru. Paměť programu mikrokontroléru je využita pouze z 50 %, což zajišťuje další možnosti rozšiřování funkcí zařízení a navýšení počtu komunikačních příkazů. V současném stavu je pro komunikaci mezi mikrokontrolérem a obvodem FPGA využito několik samostatných linek s označením USER\_x. Pro rozšíření možností komunikace je možno využít SPI sběrnici, která obvodem FPGA prochází.

Zadání této práce se mi celé splnit nepodařilo. Při ožiování zařízení se vyskytl problém s jádrem celého modulátoru a to sice s oživením integrovaného obvodu AD9957. Z tohoto důvodu jsem nemohl provést komplexní testování parametrů a vlastností modulátoru. Na přesný a jednoznačný důvod, proč se mi obvod AD9957 nepodařilo uvést do chodu, jsem doposud nepřišel. Domnívám se, že obvodu nefunguje správně vnitřní hodinový signál, který by měl být po povolení PLL smyčky vyveden

na pin 94. Důvodem by mohla být nesprávně nastavená komunikace na SPI lince, špatné nakonfigurování bitů v registrech AD9957 nebo hardwarová chyba způsobená například během pájení. Nemalý podíl na neúspěšném oživení celého zařízení měly i problémy, které nastaly s výrobou desky plošných spojů. A to sice z časového hlediska.

Dle zadání měl být navržený modulátor využít pro frekvenci nosné 140 MHz. Toho lze dosáhnout nastavením hodnoty FTW (Frequency Tuning Word) v jednotlivých profilových registrech obvodu AD9957 na adresách 0x0E až 0x15. Pro systémovou frekvenci 1000 MHz je to konkrétně hodnota 0x23D70A3D.

# LITERATURA

- [1] Katalogový list AD9957 [online]. 2010 – [cit. 29. prosince 2011]. Dostupné na [www: http://www.analog.com/static/imported-files/data\\_sheets/AD9957.pdf](http://www.analog.com/static/imported-files/data_sheets/AD9957.pdf).
- [2] ŽALUD, V. *Moderní radioelektronika*, 1. vyd. Praha: BEN technická literatura, 2000. 655 s.
- [3] PROKEŠ, A. *Komunikačních systémy*. Elektronické skriptum. Brno: FEKT VUT v Brně, 2009.
- [4] Uživatelský manuál modul TE0300 [online]. 2010 – [cit. 29. prosince 2011]. Dostupné na [http://docs.trenz-electronic.de/Trenz\\_Electronic/products/TE0300\\_series/TE0300/documents/UM-TE0300-01.pdf](http://docs.trenz-electronic.de/Trenz_Electronic/products/TE0300_series/TE0300/documents/UM-TE0300-01.pdf).
- [5] Schéma modulu TE0300 [online]. 2010 – [cit. 29. prosince 2011]. Dostupné na [http://docs.trenz-electronic.de/Trenz\\_Electronic/products/TE0300\\_series/TE0300/documents/SCH-TE0300-01.pdf](http://docs.trenz-electronic.de/Trenz_Electronic/products/TE0300_series/TE0300/documents/SCH-TE0300-01.pdf).
- [6] Schéma vývojové desky AD9957 [online]. 2010 – [cit. 29. prosince 2011]. Dostupné na [http://www.analog.com/static/imported-files/eval\\_boards/AD9957\\_Schematic\\_RevG.pdf](http://www.analog.com/static/imported-files/eval_boards/AD9957_Schematic_RevG.pdf).
- [7] MATOUŠEK, D. *Práce s mikrokontroléry Atmel AVR :[měření, řízení a regulace pomocí několika jednoduchých přípravků]* díl 4., AT mega 16 / 1. vyd. Praha : BEN technická literatura, 2006. 319 s.
- [8] MATOUŠEK, D. *USB prakticky.1. díl, S obvody FTDI* / 1. vyd. Praha : BEN technická literatura, 2003. 270 s.
- [9] VÁŇA, V. *Mikrokontroléry ATMEL AVR: programování v jazyce C : popis a práce ve vývojovém prostředí CodeVisionAVR C*. 1. vyd. Praha: BEN - technická literatura, 2006, 215 s.
- [10] PINKER, J., POUPA, M. *Číslicové systémy a jazyk VHDL*. 1. vyd. Praha: BEN technická literatura, 2009, 349 s.
- [11] SCPI Consortium, Standard Commands for Programmable Instruments (SCPI) [online], USA: SCPI Consortium, 1999 - [cit. 29. prosince. 2011]. Dostupné na [www: < http://www.ivifoundation.org/docs/SCPI-99.pdf >](http://www.ivifoundation.org/docs/SCPI-99.pdf).
- [12] GM electronics, Sortiment nabídky GM Electronic [online]. [cit. 29. prosince 2011], Dostupné na WWW: <http://www.gme.cz>.
- [13] Alldatasheet, Katalog součástek [online]. [cit. 29. prosince. 2011], Dostupné na WWW: <http://www.alldatasheet.com>.

## SEZNAM SYMBOLŮ A ZKRATEK

$f_b$	Bitová rychlost
$f_s$	Symbolová rychlost
$n$	Počet bitů jednoho stavu
$M$	Počet možných stavů nosné vlny
APSK	Amplitude – Phase Shift Keying, amplitudově – fázové klíčování
ASK	Amplitude Shift Keying, amplitudové klíčování
BASK	Binary Amplitude Shift Keying, dvoustavové amplitudové klíčování
BFI	BlackFin Interface mode, způsob přenosu dat obvodu AD9957
BFSK	Binary Frequency Shift Keying, dvoustavové frekvenční klíčování
BPSK	Binary Phase Shift Keying, dvoustavové fázové klíčování
C	Programovací jazyk
COM	Component Object Model, standardní počítačové rozhraní
D2xx	Direct Driver, ovladač obvodů firmy FTDI Chip
DA	Digital – Analog, digitálně – analogový
DAC	Digital to Analog Converter, digitálně – analogový převodník
DDS	Direct Digital Synthesis, přímá číslicová syntéza kmitočtu
DPS	Deska plošných spojů
EVM	Error vector magnitude, veličina popisující přesnost modulace
FE	Falling Edge, sestupná hrana
FIFO	First In – First Out, typ paměti
FPGA	Field Programmable Gate Array, programovatelné logické pole
FTDI	Future Technology Devices International, název firmy
FSK	Frequency Shift Keying, frekvenční klíčování
GSPS	Giga Symbols Per Second, jednotka Gsym/s
I <sup>2</sup> C	Inter-integrated Circuid, multi-masterová sběrnice od firmy Philips
I	In-phase, soufázový vektor kvadraturního modulátoru
JTAG	Joint Test Action Group, standardní rozhraní pro testování a programování
LSB	Least Significant Bit, nejméně významný bit
LSFR	Linear Shift Feedback Register, posuvný registr se zpětnou vazbou
MCU	Machine Control Unit, řídící jednotka
MDI	Multiple Document Interface, název rozhraní aplikace s více okny
MER	Modulation Error Ratio, veličina popisující přesnost modulace
MSB	Most Significant Bit, nejvýznamnější bit
MSPS	Mega Symbols Per Second, jednotka Msym/s
NCO	Numeric Controlled Oscillator, číslicově řízený oscilátor
OOK	On-Off-Keying, modulace zapnuto – vypnuto

PC	Personal Computer, osobní počítač
PCB	Printed Circuit Board, deska plošných spojů
PCM	Pulse Code Modulation, pulzně kódová modulace
PSK	Phase Shift Keying, fázové klíčování
Q	Quadrature, kvadrurní (o 90° posunutý) vektor modulátoru
QDUC	Qadrature Modulation Mode, kvadrurní modulační mód
QFSK	Quaternary FSK, čtyř-kvadrantové frekvenční klíčování
RAM	Random Access Memory, paměť s náhodným přístupem
RE	Rising Edge, vzestupná hrana
S/N	Signal to Noise ratio, poměr signálu/šumu
SCPI	Standard Commands for Programmable Instruments, standardní příkazy
SPI	Serial Peripheral Interface, sériové rozhraní mikrokontroléru
TWI	Two-Wire serial Interface, dvou vodičová sériová sběrnice, obdoba I <sup>2</sup> C
USB	Universal Serial Bus, univerzální sériové rozhraní
USART	Universal Synchronous/Asynchronous Receiver and Transmitter
VCP	Virtual COM Port, virtuální sériový port
VHDL	Hardware Description Language, programovací jazyk
WDT	Watchdog Timer, nezávislý časovač mikrokontroléru, vyvolává reset

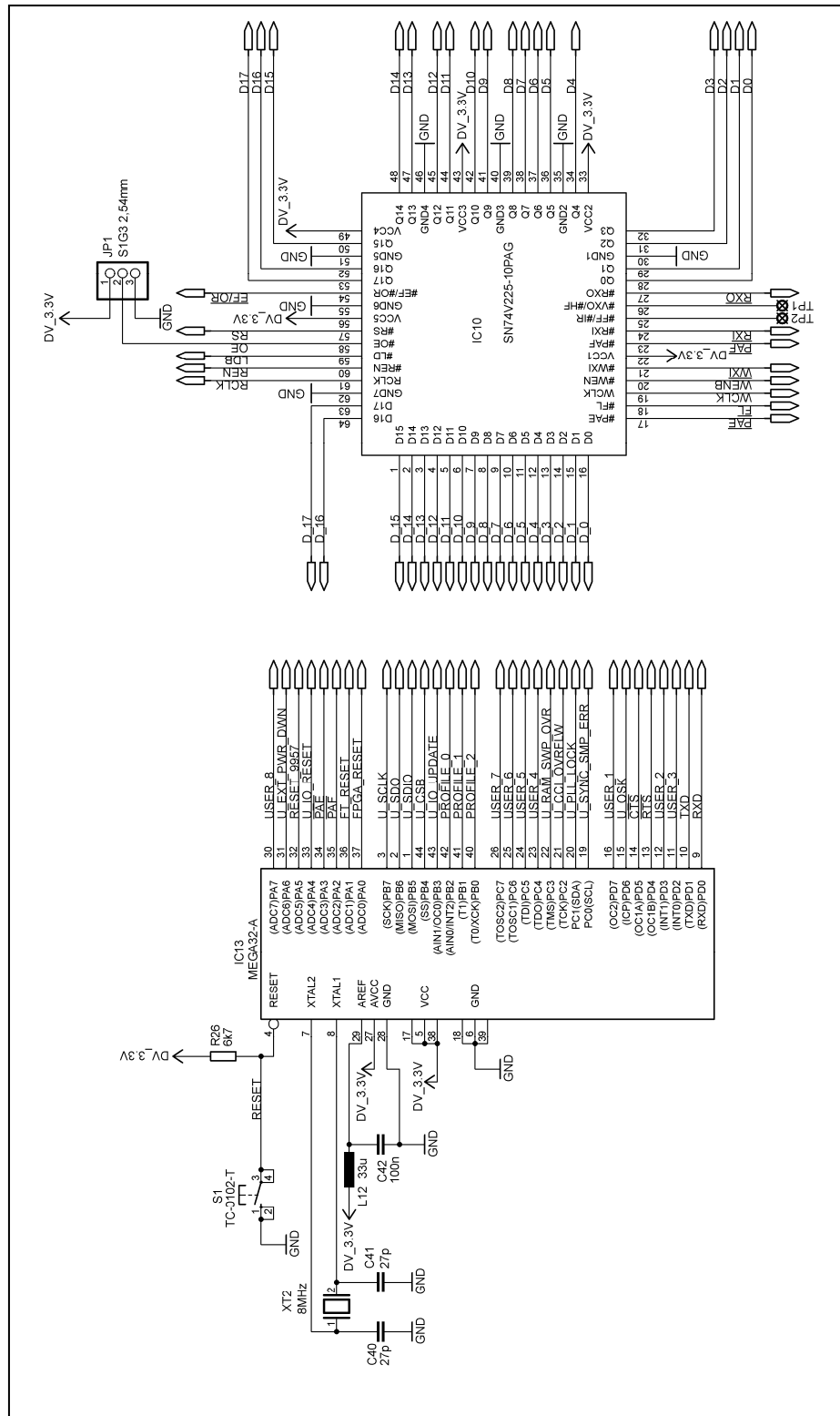
# SEZNAM PŘÍLOH

<b>A</b>	<b>OBVODOVÉ ZAPOJENÍ</b>	<b>47</b>
A.1	Zapojení mikrokontroléru ATmega32 a paměti FIFO.....	47
A.2	Zapojení modulátoru AD9957 .....	48
A.3	Zapojení komunikační části - převodník FT2232H .....	49
A.4	Zapojení datové části modulu TE0300 s obvodem FPGA .....	50
A.5	Zapojení konektorů .....	51
A.6	Zapojení napájených částí a částí pro úpravu signálu.....	52
A.7	Zapojení zdrojů napětí .....	53
<b>B</b>	<b>NÁVRH DESKY PLOŠNÝCH SPOJŮ</b>	<b>54</b>
B.1	Matrice plošného spoje – top (strana součástek) .....	54
B.2	Matrice plošného spoje – zemnicí vrstva.....	54
B.3	Matrice plošného spoje – napájecí vrstva .....	55
B.4	Matrice plošného spoje – bottom (strana spojů).....	55
B.5	Osazovací plán – top (strana součástek) .....	56
B.6	Osazovací plán – bottom (strana spojů).....	56
<b>C</b>	<b>SEZNAM SOUČÁSTEK A MECHANICKÝCH DÍLŮ</b>	<b>57</b>
<b>D</b>	<b>FOTODOKUMENTACE modulátorU</b>	<b>59</b>
D.1	Fotografie zařízení – top (vrchní strana).....	59
D.2	Fotografie zařízení – bottom (spodní strana).....	59
D.3	Fotografie zařízení – připojení programátorů .....	60
<b>E</b>	<b>VÝZNAM JEDNOTLIVÝCH BITŮ REGISTRŮ MODULÁTORU AD9957</b>	<b>61</b>



## A OBVODOVÉ ZAPOJENÍ

## A.1 Zapojení mikrokontroléru ATmega32 a paměti FIFO

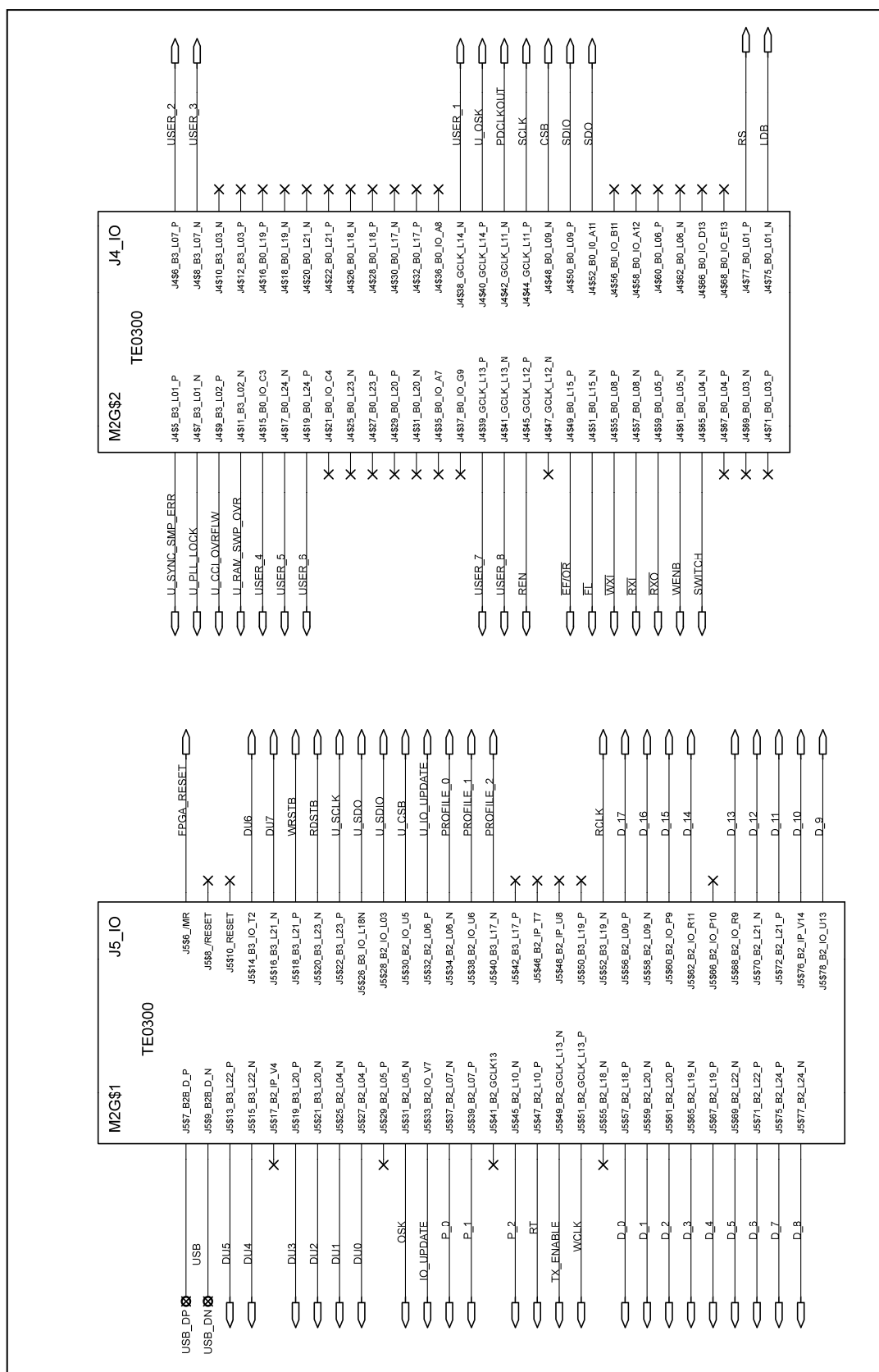




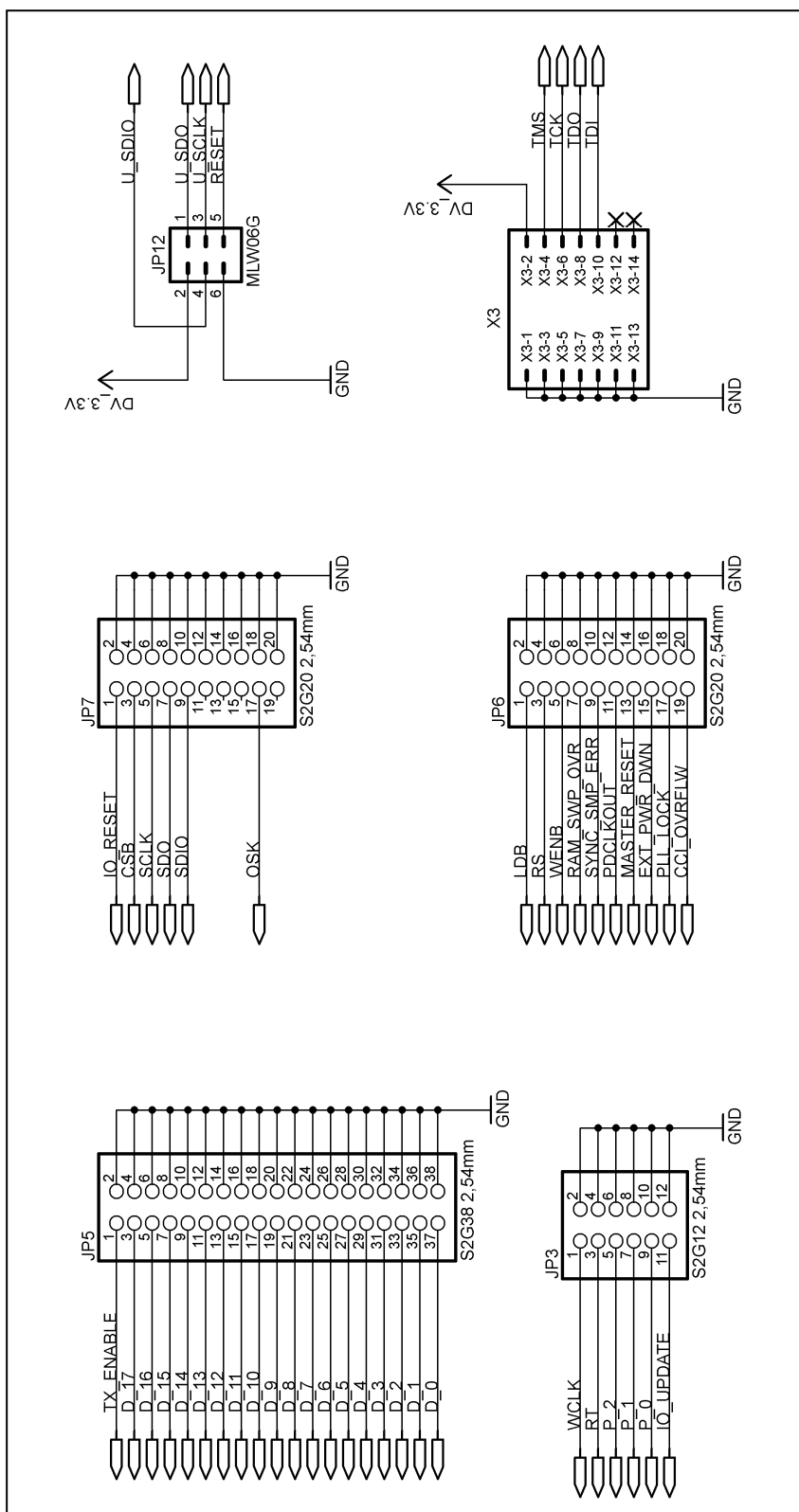
The schematic diagram illustrates the internal circuitry of the FT2232HL-R module. The central component is the FT2232HL-R IC, which interfaces between the host PC (via USB) and the target microcontroller (via I2C). Key components and connections include:

- Power Supply:** The module is powered by a 3.3V supply (DV\_3.3V). The power is distributed through various decoupling capacitors (C24, C25, C28, C29, C30, C31, C32, C33, C34, C35, C36, C37, C38, C39, C40, C41, C42, C43, C44, C45, C46, C47, C48, C49, C50, C51, C52, C53, C54, C55, C56, C57, C58, C59, C60, C61, C62, C63, C64, C65, C66, C67, C68, C69, C70, C71, C72, C73, C74, C75, C76, C77, C78, C79, C80, C81, C82, C83, C84, C85, C86, C87, C88, C89, C90, C91, C92, C93, C94, C95, C96, C97, C98, C99, C100) and inductors (L3, L4, L5, L6, L7, L8, L9, L10, L11, L12, L13, L14, L15, L16, L17, L18, L19, L20, L21, L22, L23, L24, L25, L26, L27, L28, L29, L30, L31, L32, L33, L34, L35, L36, L37, L38, L39, L40, L41, L42, L43, L44, L45, L46, L47, L48, L49, L50, L51, L52, L53, L54, L55, L56, L57, L58, L59, L60, L61, L62, L63, L64, L65, L66, L67, L68, L69, L70, L71, L72, L73, L74, L75, L76, L77, L78, L79, L80, L81, L82, L83, L84, L85, L86, L87, L88, L89, L90, L91, L92, L93, L94, L95, L96, L97, L98, L99, L100) to the IC pins.
- USB Interface:** The module features a USB-to-I2C bridge. The USB pins (D+, D-, GND, VCC) are connected to the IC pins (VPH, VPL, VPCORE1, VPCORE2, VPCORE3, VPCORE4, VPCORE5, VPCORE6, VPCORE7, VPCORE8, VPCORE9, VPCORE10, VPCORE11, VPCORE12, VPCORE13, VPCORE14, VPCORE15, VPCORE16, VPCORE17, VPCORE18, VPCORE19, VPCORE20, VPCORE21, VPCORE22, VPCORE23, VPCORE24, VPCORE25, VPCORE26, VPCORE27, VPCORE28, VPCORE29, VPCORE30, VPCORE31, VPCORE32, VPCORE33, VPCORE34, VPCORE35, VPCORE36, VPCORE37, VPCORE38, VPCORE39, VPCORE40, VPCORE41, VPCORE42, VPCORE43, VPCORE44, VPCORE45, VPCORE46, VPCORE47, VPCORE48, VPCORE49, VPCORE50, VPCORE51, VPCORE52, VPCORE53, VPCORE54, VPCORE55, VPCORE56, VPCORE57, VPCORE58, VPCORE59, VPCORE60, VPCORE61, VPCORE62, VPCORE63, VPCORE64, VPCORE65, VPCORE66, VPCORE67, VPCORE68, VPCORE69, VPCORE70, VPCORE71, VPCORE72, VPCORE73, VPCORE74, VPCORE75, VPCORE76, VPCORE77, VPCORE78, VPCORE79, VPCORE80, VPCORE81, VPCORE82, VPCORE83, VPCORE84, VPCORE85, VPCORE86, VPCORE87, VPCORE88, VPCORE89, VPCORE90, VPCORE91, VPCORE92, VPCORE93, VPCORE94, VPCORE95, VPCORE96, VPCORE97, VPCORE98, VPCORE99, VPCORE100). The I2C pins (SDA, SCL) are connected to the IC pins (SDA, SCL).
- I2C Interface:** The module provides I2C pins (SDA, SCL) for connection to the target microcontroller. The SDA pin is connected to the IC pin (SDA) and the SCL pin is connected to the IC pin (SCL).
- LEDs:** The module includes two LEDs: a green LED (LED3) and a yellow LED (LED2). The green LED is connected to the IC pin (LED3) and the yellow LED is connected to the IC pin (LED2).
- Resistors:** Various resistors are used for current limiting and pull-up/pull-down. Key resistors include R1 (10k), R2 (10k), R3 (10k), R4 (10k), R5 (10k), R6 (10k), R7 (10k), R8 (10k), R9 (10k), R10 (10k), R11 (10k), R12 (10k), R13 (10k), R14 (10k), R15 (10k), R16 (10k), R17 (10k), R18 (10k), R19 (10k), R20 (10k), R21 (10k), R22 (10k), R23 (10k), R24 (10k), R25 (10k), R26 (10k), R27 (10k), R28 (10k), R29 (10k), R30 (10k), R31 (10k), R32 (10k), R33 (10k), R34 (10k), R35 (10k), R36 (10k), R37 (10k), R38 (10k), R39 (10k), R40 (10k), R41 (10k), R42 (10k), R43 (10k), R44 (10k), R45 (10k), R46 (10k), R47 (10k), R48 (10k), R49 (10k), R50 (10k), R51 (10k), R52 (10k), R53 (10k), R54 (10k), R55 (10k), R56 (10k), R57 (10k), R58 (10k), R59 (10k), R60 (10k), R61 (10k), R62 (10k), R63 (10k), R64 (10k), R65 (10k), R66 (10k), R67 (10k), R68 (10k), R69 (10k), R70 (10k), R71 (10k), R72 (10k), R73 (10k), R74 (10k), R75 (10k), R76 (10k), R77 (10k), R78 (10k), R79 (10k), R80 (10k), R81 (10k), R82 (10k), R83 (10k), R84 (10k), R85 (10k), R86 (10k), R87 (10k), R88 (10k), R89 (10k), R90 (10k), R91 (10k), R92 (10k), R93 (10k), R94 (10k), R95 (10k), R96 (10k), R97 (10k), R98 (10k), R99 (10k), R100 (10k).

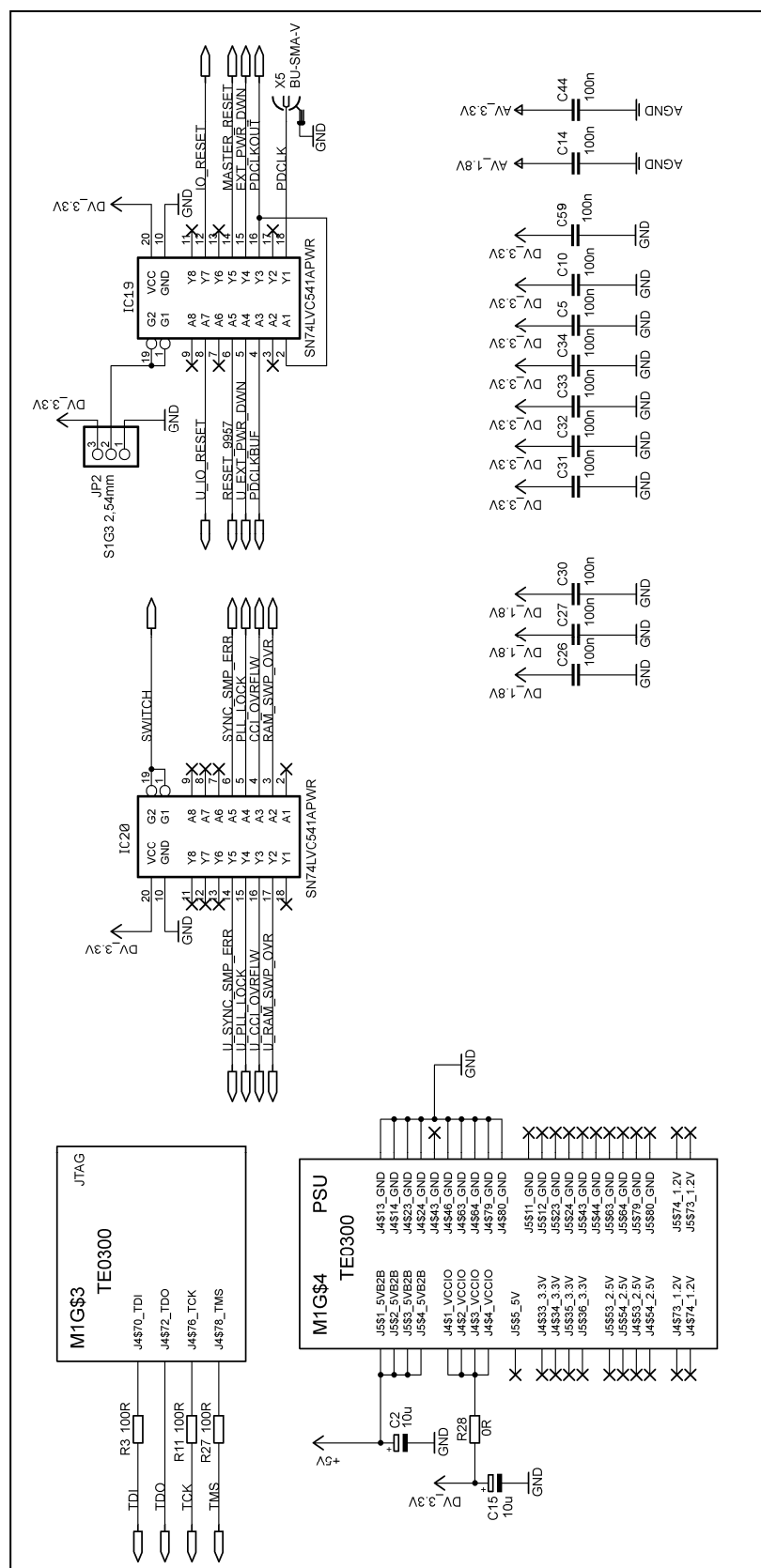
#### A.4 Zapojení datové části modulu TE0300 s obvodem FPGA



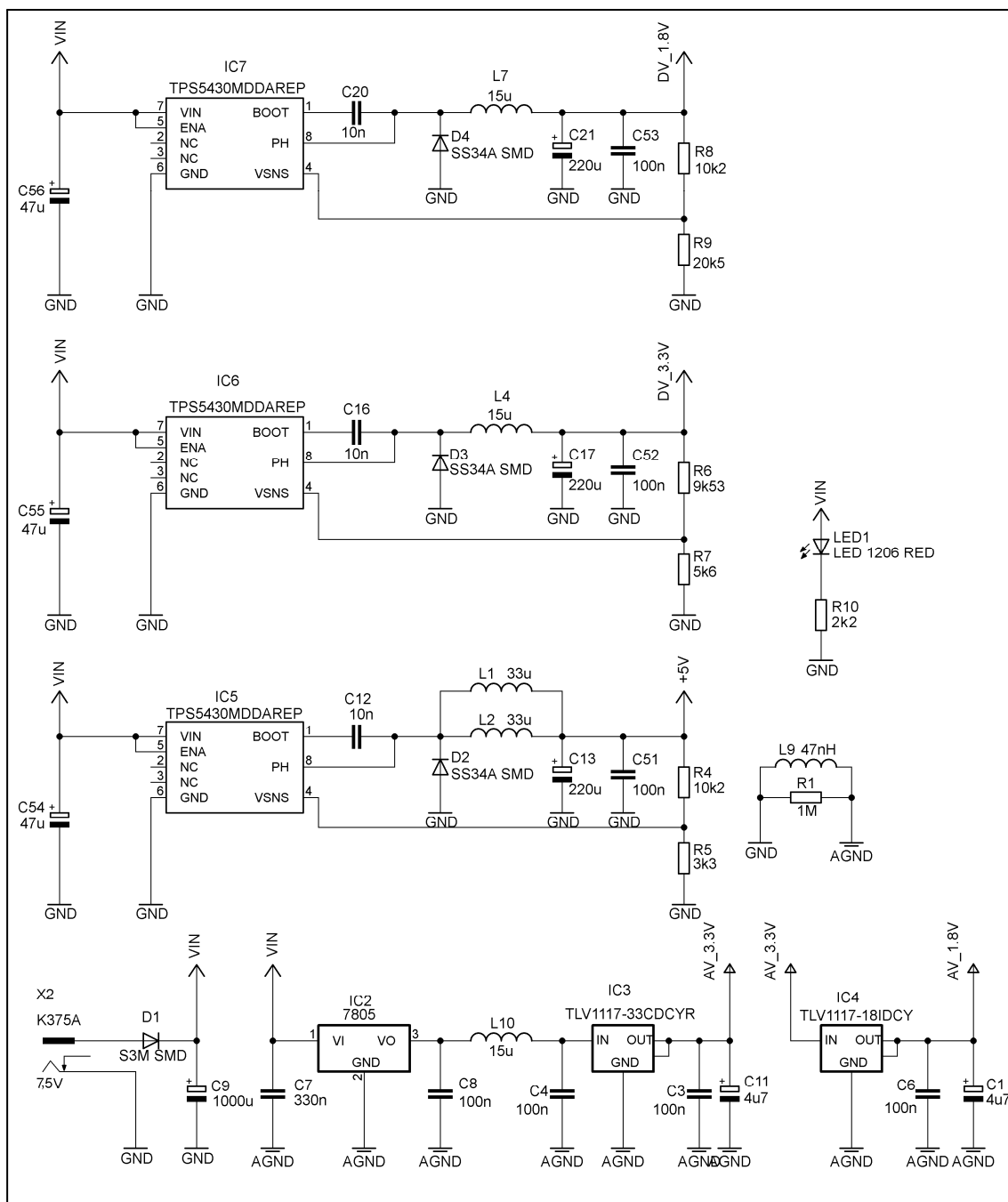
## A.5 Zapojení konektorů



## A.6 Zapojení napájených částí a částí pro úpravu signálu

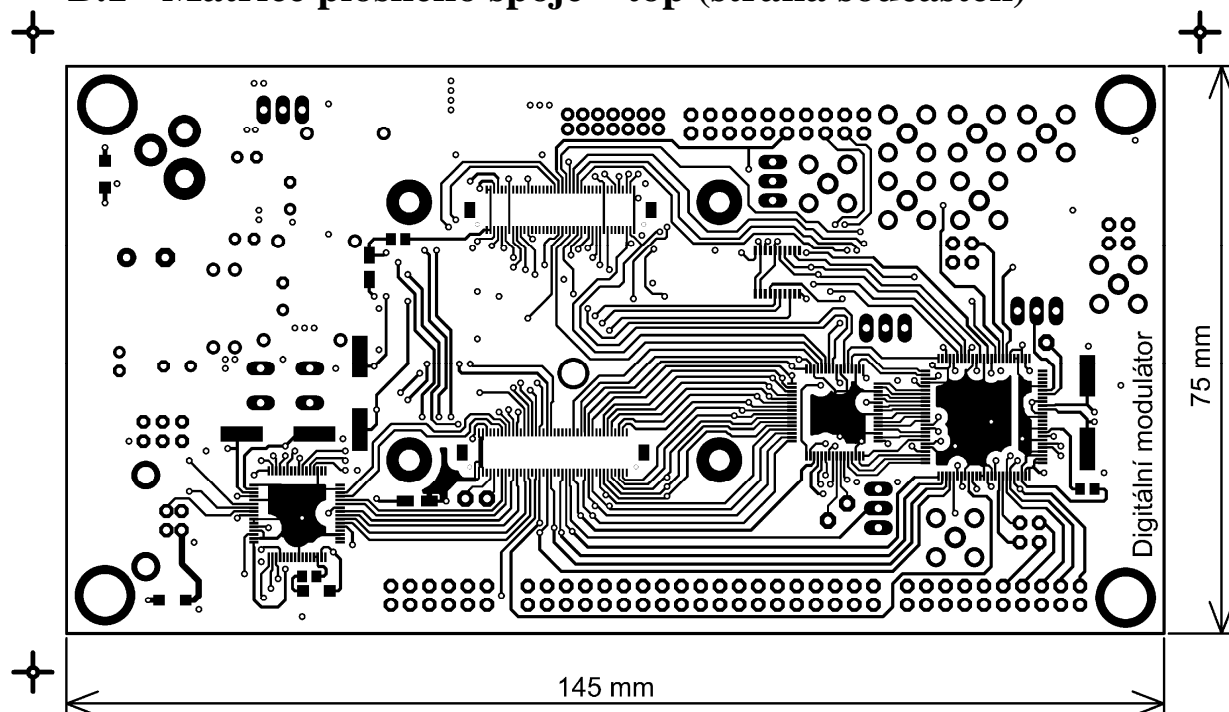


## A.7 Zapojení zdrojů napětí



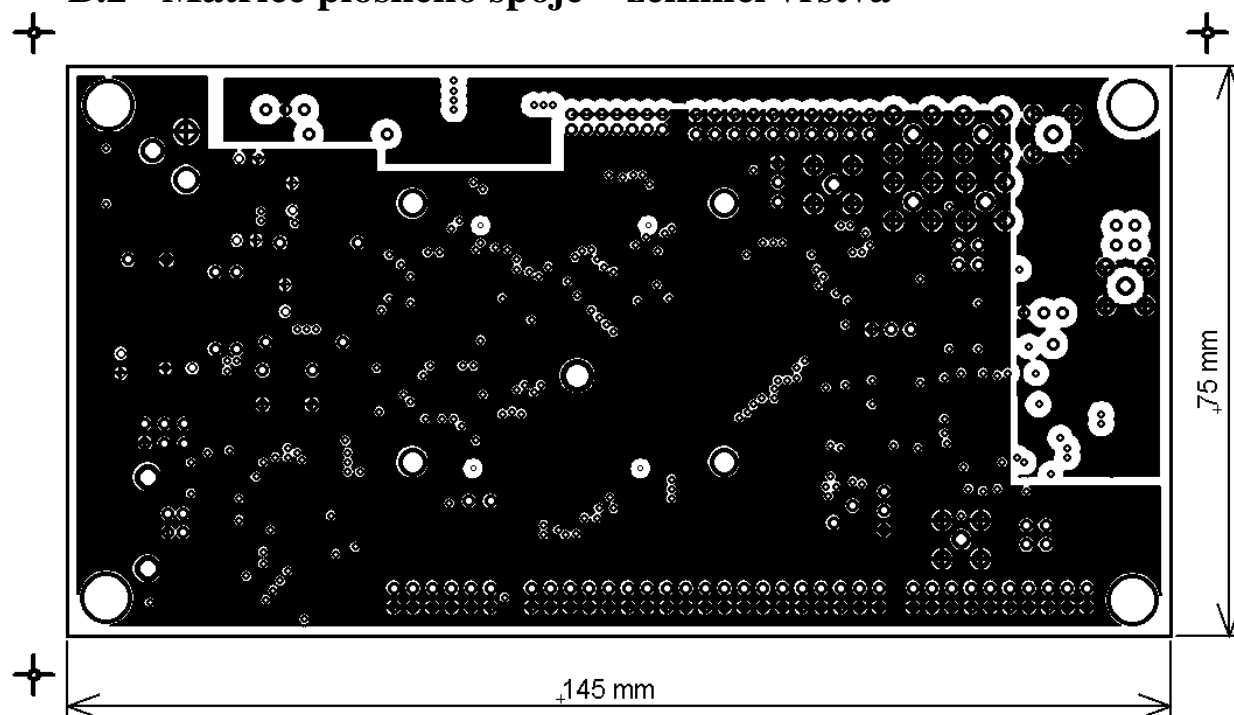
## B NÁVRH DESKY PLOŠNÝCH SPOJŮ

### B.1 Matrice plošného spoje – top (strana součástek)



Rozměr desky 75 x 145 [mm], měřítko M1:1

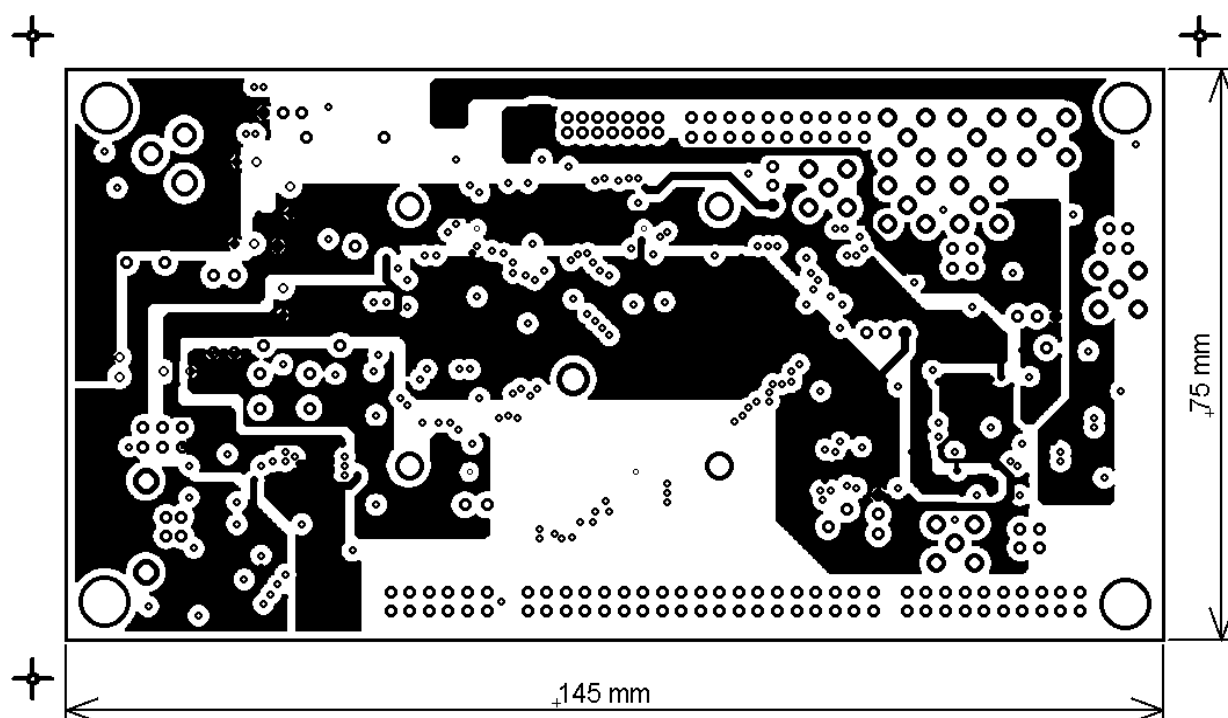
### B.2 Matrice plošného spoje – zemnicí vrstva



Rozměr desky 75 x 145 [mm], měřítko M1:1

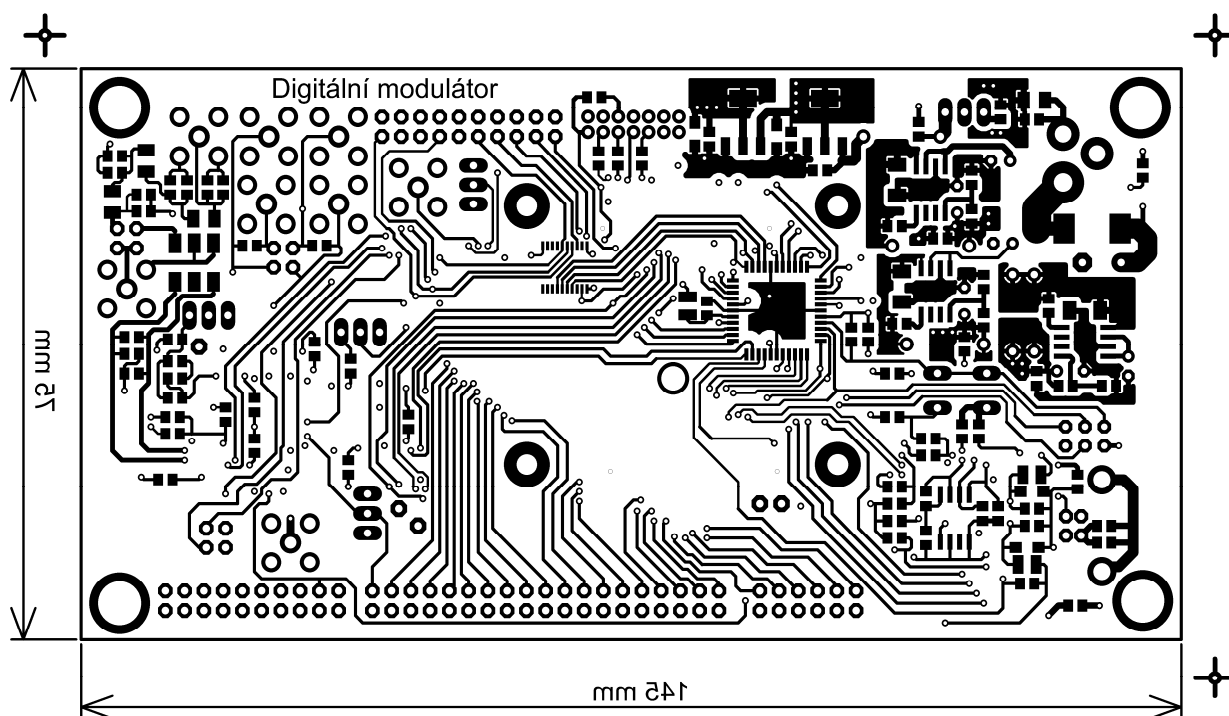


### B.3 Matrice plošného spoje – napájecí vrstva



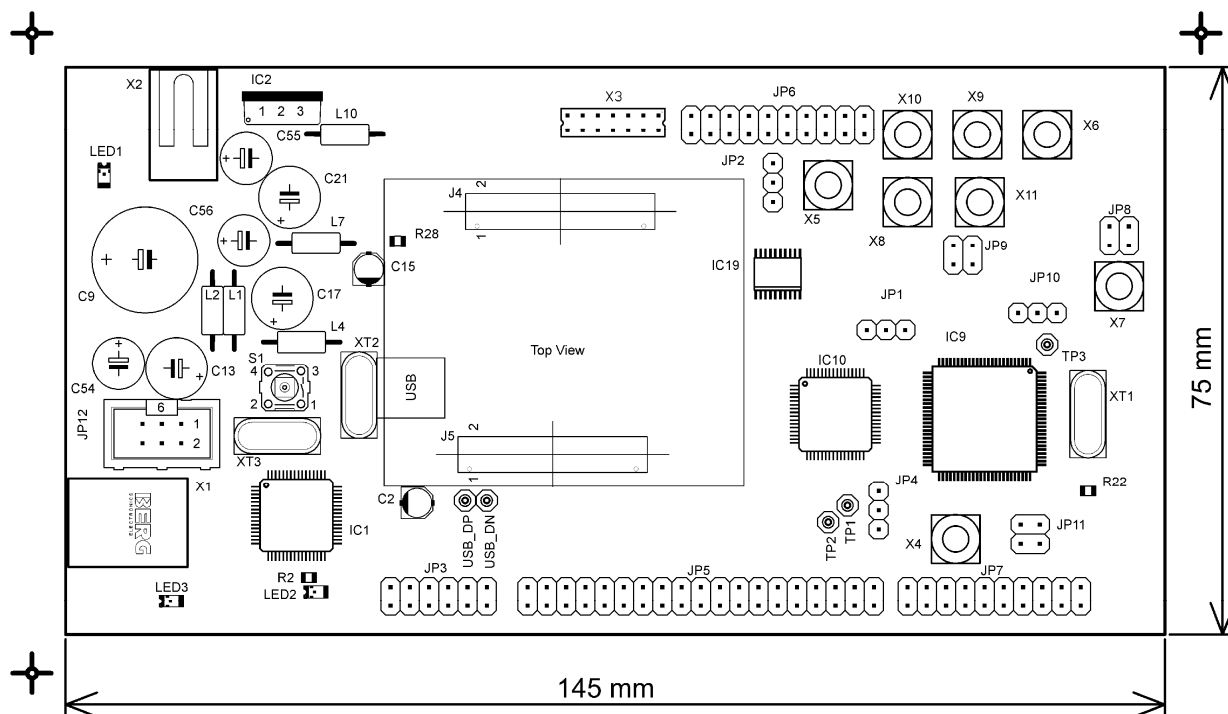
Rozměr desky 75 x 145 [mm], měřítko M1:1

### B.4 Matrice plošného spoje – bottom (strana spojů)

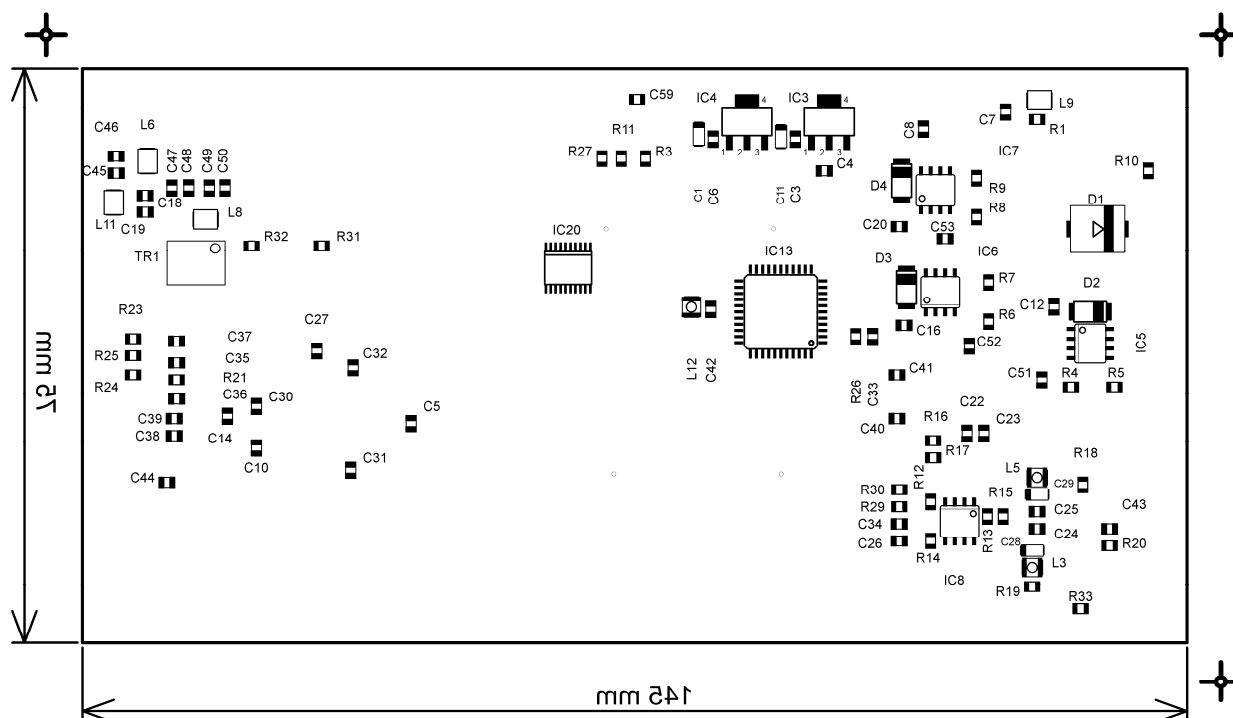


Rozměr desky 75 x 145 [mm], měřítko M1:1

## B.5 Osazovací plán – top (strana součástí)



## B.6 Osazovací plán – bottom (strana spojů)



## C SEZNAM SOUČÁSTEK A MECHANICKÝCH DÍLŮ

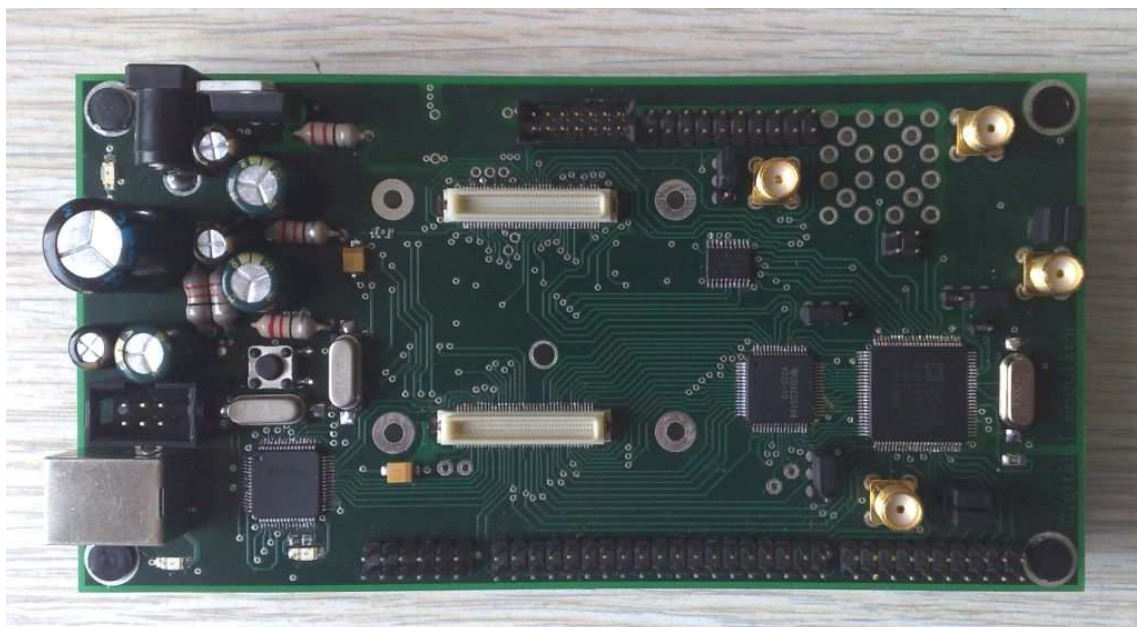
Počet	Hodnota	Součástka	Označení
1	LED 1206 RED	LED dioda vel. 1206	LED1
1	LED 1206 YELLOW	LED dioda vel. 1206	LED2
1	LED 1206 GREEN	LED dioda vel. 1206	LED3
4	4u7/10V	kondenzátor tant. SMD vel. A	C1, C11, C28, C29
2	10u/10V	kondenzátor tant. SMD vel. B	C2, C15
3	47u/10V	kondenzátor elektr. LOW ESR 2.5-7	C54, C55, C56
3	220u/10V	kondenzátor elektr. LOW ESR 3.5-8	C13, C17, C21
1	1000u/35V	kondenzátor elektr. 5-13	C9
4	3p3	kondenzátor ker. SMD vel. 0805	C18, C19, C49, C50
4	6p4	kondenzátor ker. SMD vel. 0805	C45, C46, C47, C48
4	27p	kondenzátor ker. SMD vel. 0805	C22, C23, C40, C41
2	39p	kondenzátor ker. SMD vel. 0805	C38, C39
1	100p	kondenzátor ker. SMD vel. 0805	C43
3	10n	kondenzátor ker. SMD vel. 0805	C12, C16, C20
1	27n	kondenzátor ker. SMD vel. 0805	C36
1	47n	kondenzátor ker. SMD vel. 0805	C35
22	100n	kondenzátor ker. SMD vel. 0805	C3, C4, C5, C6, C8, C10, C14, C24, C25, C26, C27, C30, C31, C32, C33, C34, C37, C42, C44, C51, C52, C53
1	330n	kondenzátor ker. SMD vel. 0805	C7
1	S3M SMD	univerzální dioda vel. SMC	D1
3	SS34A SMD	Shottkyho dioda	D2, D3, D4
1	FT2232HL-R	integrovaný obvod - FT2232HL-R	IC1
1	SN74V225-10PAG	integrovaný obvod - paměť FIFO	IC10
1	MEGA32-A	mikrokontroler ATmega32L	IC13
2	SN74LVC541APWR	integrovaný obvod - buffer 8x	IC19, IC20
1	7805	integrovaný stabilizátor 786TV	IC2
1	TLV1117-33CDCYR	integrovaný stabilizátor 3,3 V	IC3
1	TLV1117-18IDCY	integrovaný stabilizátor 1,8 V	IC4
3	TPS5430MDDAREP	integrovaný obvod - DC/DC měnič	IC5, IC6, IC7
1	93LC56B-I/SN	integrovaný obvod - sériová paměť	IC8
1	AD9957BSVZ	integrovaný obvod AD9957BSVZ	IC9
4	S1G3 2,54mm	pinová lišta PINHD-1X3	JP1, JP2, JP4, JP10
1	MLW06G	konektor pro SPI ML6	JP12
1	S2G12 2,54mm	pinová lišta PINHD-2X6	JP3
1	S2G38 2,54mm	pinová lišta PINHD-2X19	JP5
2	S2G20 2,54mm	pinová lišta PINHD-2X10	JP6, JP7

3	S2G4 2,54mm	pinová lišta PINHD-2X2	JP8, JP9, JP11
3	15u	tlumivka L-USIR-2	L4, L7, L10
2	33u	tlumivka L-USIR-2	L1, L2
1	33u	tlumivka L-EUL2825P	L12
2	24nH	tlumivka L-EUL3230M	L8, L11
1	30nH	tlumivka L-EUL3230M	L6
1	47nH	tlumivka L-USL3230M	L9
2	100n	tlumivka L-EUL2825P	L3, L5
1	TE0300	FPGA modul TE0300-00	M1
1	0R	rezistor SMD vel.0805	R28
3	50R	rezistor SMD vel.0805	R23, R24, R25
1	52R	rezistor SMD vel.0805	R21
5	100R	rezistor SMD vel.0805	R3, R11, R27, R31, R32
2	220R	rezistor SMD vel.0805	R2, R33
1	1k	rezistor SMD vel.0805	R19
1	2k2	rezistor SMD vel.0805	R10,R12
1	3k3	rezistor SMD vel.0805	R5
2	4k7	rezistor SMD vel.0805	R17, R30
1	6k7	rezistor SMD vel.0805	R26
1	5k6	rezistor SMD vel.0805	R7
1	9k53	rezistor SMD vel.0805	R6
4	10k	rezistor SMD vel.0805	R13, R14, R15, R16, R22, R29
2	10k2	rezistor SMD vel.0805	R4, R8
1	12k	rezistor SMD vel.0805	R18
1	21k5	rezistor SMD vel.0805	R9
2	1M	rezistor SMD vel.0805	R1, R20
1	TC-0102-T	Tlačítko TC-0102-T	S1
1	ADT1-1WT	oddělovací transformátor SMD	TR1
1	PN61729-S	konektor USB PN61729-S	X1
1	K375A	napájecí konektor K375A	X2
1	87758-1416	konektor JTAG 14 pinů	X3
8	BU-SMA-V	SMA konektor BU-SMA-V	X4, X5, X6, X7, X8, X9, X10, X11
1	8MHz	krystal 9C-X	XT2
1	25MHz	krystal 9C-X	XT1
1	12MHz	krystal 9C-X	XT3

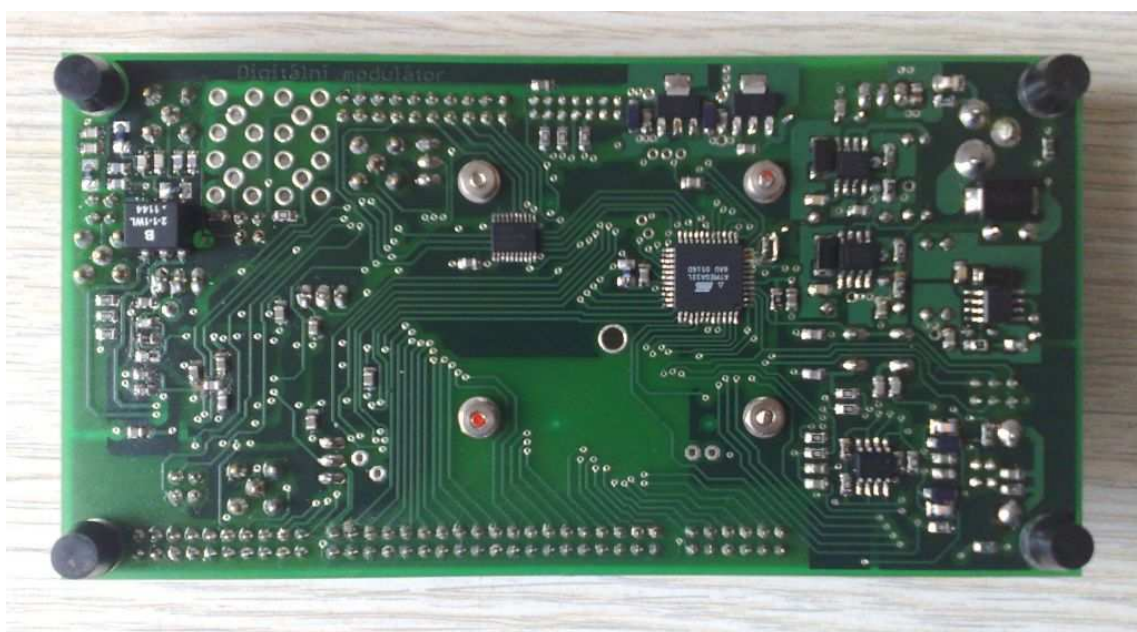
Počet	Velikost	Komponenta
4	9x5 mm	přístrojová nožička zamačkávací - gumová
4	3,2 mm	podložka - vějířová
4	M2,5	matice kovová
4	M2,5 x 15 mm	šroub - půlkulatá hlava
4	M2,5 x 7 mm	distanční sloupek kovový

## D FOTODOKUMENTACE MODULÁTORU

### D.1 Fotografie zařízení – top (vrchní strana)



### D.2 Fotografie zařízení – bottom (spodní strana)



### D.3 Fotografie zařízení – připojení programátorů



# E VÝZNAM JEDNOTLIVÝCH BITŮ REGISTRŮ MODULÁTORU AD9957

Tabulky jsou převzaty z [1]

Register Name (Serial Address)	Bit Range (Internal Address)	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value
Control Function Register 1 CFR1 (0x00)	<31:24>	RAM Enable	Open		RAM Playback Destination	Open		Operating Mode		0x00
	<23:16>	Manual OSK External Control	Inverse Sinc Filter Enable	Clear CCI	Open				Select DDS Sine Output	0x00
	<15:8>	Open		Autoclear Phase Accumulator	Open	Clear Phase Accumulator	Load ARR @ I/O Update	OSK Enable	Select Auto-OSK	0x00
	<7:0>	Digital Power-Down	DAC Power-Down	REFCLK Input Power-Down	Aux DAC Power-Down	External Power-Down Control	Auto Power-Down Enable	SDIO Input Only	LSB First	0x00
Control Function Register 2 CFR2 (0x01)	<31:24>	Blackfin Interface Mode Active	Blackfin Bit Order	Blackfin Early Frame Sync Enable	Open				Enable Profile Registers as ASF Source	0x00
	<23:16>	Internal I/O Update Active	SYNC_CLK Enable	Open				Read Effective FTW	0x40	
	<15:8>	I/O Update Rate Control		PDCLK Rate Control	Data Format	PDCLK Enable	PDCLK Invert	TxEnable Invert	Q-First Data Pairing	0x08
	<7:0>	Matched Latency Enable	Data Assembler Hold Last Value	Sync Timing Validation Disable	Open					0x20
Control Function Register 3 CFR3 (0x02)	<31:24>	Open		DRV0<1:0>		Open		VCO SEL<2:0>		0x1F
	<23:16>	Open		I <sub>CP</sub> <2:0>			Open			0x3F
	<15:8>	REFCLK Input Divider Bypass	REFCLK Input Divider ResetB	Open				PLL Enable	0x40	
	<7:0>	N<6:0>							Open	0x00
Auxiliary DAC Control Register (0x03)	<31:24>	Open								0x00
	<23:16>	Open								0x00
	<15:8>	Open								0x7F
	<7:0>	FSC<7:0>								0x7F
I/O Update Rate Register (0x04)	<31:24>	I/O Update Rate<31:24>								0xFF
	<23:16>	I/O Update Rate<23:16>								0xFF
	<15:8>	I/O Update Rate<15:8>								0xFF
	<7:0>	I/O Update Rate<7:0>								0xFF



Register Name (Serial Address)	Bit Range (Internal Address)	Bit 7 (MSB)	Bit 6	Bit5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value
RAM Segment Register 0 (0x05)	<47:40>	RAM Address Step Rate 0<15:8>								
	<39:32>	RAM Address Step Rate 0<7:0>								
	<31:24>	RAM End Address 0<9:2>								
	<23:16>	RAM End Address 0<1:0>	Open							
	<15:8>	RAM Start Address 0<9:2>								
	<7:0>	RAM Start Address 0<1:0>	Open				RAM Playback Mode 0<2:0>			
RAM Segment Register 1 (0x06)	<47:40>	RAM Address Step Rate 1<15:8>								
	<39:32>	RAM Address Step Rate 1<7:0>								
	<31:24>	RAM End Address 1<9:2>								
	<23:16>	RAM End Address 1<1:0>	Open							
	<15:8>	RAM Start Address 1<9:2>								
	<7:0>	RAM Start Address 1<1:0>	Open				RAM Playback Mode 1<2:0>			
Amplitude Scale Factor (ASF) Register (0x09)	<31:24>	Amplitude Ramp Rate<15:8>								0x00
	<23:16>	Amplitude Ramp Rate<7:0>								0x00
	<15:8>	Amplitude Scale Factor<13:6>								0x00
	<7:0>	Amplitude Scale Factor<5:0>						Amplitude Step Size<1:0>		0x00
Multichip Sync Register (0x0A)	<31:24>	Sync Validation Delay<3:0>				Sync Receiver Enable	Sync Generator Enable	Sync Generator Polarity	Open	0x00
	<23:16>	Sync State Preset Value<5:0>						Open		0x00
	<15:8>	Sync Generator Delay<4:0>				Open				0x00
	<7:0>	Sync Receiver Delay<4:0>				Open				0x00
Profile 0 Register—Single Tone (0x0E)	<63:56>	Open	Amplitude Scale Factor<13:8>							0x08
	<55:48>	Amplitude Scale Factor<7:0>								0xB5
	<47:40>	Phase Offset Word<15:8>								0x00
	<39:32>	Phase Offset Word<7:0>								0x00
	<31:24>	Frequency Tuning Word<31:24>								0x00
	<23:16>	Frequency Tuning Word<23:16>								0x00
	<15:8>	Frequency Tuning Word<15:8>								0x00
	<7:0>	Frequency Tuning Word<7:0>								0x00
Profile 0 Register—QDUC (0x0E)	<63:56>	CCI Interpolation Rate<7:2>						Spectral Invert	Inverse CCI Bypass	0x00
	<55:48>	Output Scale Factor								0x00
	<47:40>	Phase Offset Word<15:8>								0x00
	<39:32>	Phase Offset Word<7:0>								0x00
	<31:24>	Frequency Tuning Word<31:24>								0x00
	<23:16>	Frequency Tuning Word<23:16>								0x00
	<15:8>	Frequency Tuning Word<15:8>								0x00
	<7:0>	Frequency Tuning Word<7:0>								0x00



Register Name (Serial Address)	Bit Range (Internal Address)	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value	
Profile 1 Register— Single Tone (0x0F)	<63:56>	Open		Amplitude Scale Factor<13:8>						0x00	
	<55:48>	Amplitude Scale Factor<7:0>									0x00
	<47:40>	Phase Offset Word<15:8>									0x00
	<39:32>	Phase Offset Word<7:0>									0x00
	<31:24>	Frequency Tuning Word<31:24>									0x00
	<23:16>	Frequency Tuning Word<23:16>									0x00
	<15:8>	Frequency Tuning Word<15:8>									0x00
	<7:0>	Frequency Tuning Word<7:0>									0x00
Profile 1 Register— QDUC (0x0F)	<63:56>	CCI Interpolation Rate<7:2>						Spectral Invert	Inverse CCI Bypass	0x00	
	<55:48>	Output Scale Factor<7:0>									0x00
	<47:40>	Phase Offset Word<15:8>									0x00
	<39:32>	Phase Offset Word<7:0>									0x00
	<31:24>	Frequency Tuning Word<31:24>									0x00
	<23:16>	Frequency Tuning Word<23:16>									0x00
	<15:8>	Frequency Tuning Word<15:8>									0x00
	<7:0>	Frequency Tuning Word<7:0>									0x00
Profile 2 Register— Single Tone (0x10)	<63:56>	Open		Amplitude Scale Factor<13:8>						0x00	
	<55:48>	Amplitude Scale Factor<7:0>									0x00
	<47:40>	Phase Offset Word<15:8>									0x00
	<39:32>	Phase Offset Word<7:0>									0x00
	<31:24>	Frequency Tuning Word<31:24>									0x00
	<23:16>	Frequency Tuning Word<23:16>									0x00
	<15:8>	Frequency Tuning Word<15:8>									0x00
	<7:0>	Frequency Tuning Word<7:0>									0x00
Profile 2 Register— QDUC (0x10)	<63:56>	CCI Interpolation Rate<7:2>						Spectral Invert	Inverse CCI Bypass	0x00	
	<55:48>	Output Scale Factor<7:0>									0x00
	<47:40>	Phase Offset Word<15:8>									0x00
	<39:32>	Phase Offset Word<7:0>									0x00
	<31:24>	Frequency Tuning Word<31:24>									0x00
	<23:16>	Frequency Tuning Word<23:16>									0x00
	<15:8>	Frequency Tuning Word<15:8>									0x00
	<7:0>	Frequency Tuning Word<7:0>									0x00
Profile 3 Register— Single Tone (0x11)	<63:56>	Open		Amplitude Scale Factor<13:8>						0x00	
	<55:48>	Amplitude Scale Factor<7:0>									0x00
	<47:40>	Phase Offset Word<15:8>									0x00
	<39:32>	Phase Offset Word<7:0>									0x00
	<31:24>	Frequency Tuning Word<31:24>									0x00
	<23:16>	Frequency Tuning Word<23:16>									0x00
	<15:8>	Frequency Tuning Word<15:8>									0x00
	<7:0>	Frequency Tuning Word<7:0>									0x00
Profile 3 Register— QDUC (0x11)	<63:56>	CCI Interpolation Rate<7:2>						Spectral Invert	Inverse CCI Bypass	0x00	
	<55:48>	Output Scale Factor<7:0>									0x00
	<47:40>	Phase Offset Word<15:8>									0x00
	<39:32>	Phase Offset Word<7:0>									0x00
	<31:24>	Frequency Tuning Word<31:24>									0x00
	<23:16>	Frequency Tuning Word<23:16>									0x00
	<15:8>	Frequency Tuning Word<15:8>									0x00
	<7:0>	Frequency Tuning Word<7:0>									0x00

Register Name (Serial Address)	Bit Range (Internal Address)	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value
Profile 4 Register— Single Tone (0x12)	<63:56>	Open		Amplitude Scale Factor<13:8>						0x00
	<55:48>	Amplitude Scale Factor<7:0>						0x00		
	<47:40>	Phase Offset Word<15:8>						0x00		
	<39:32>	Phase Offset Word<7:0>						0x00		
	<31:24>	Frequency Tuning Word<31:24>						0x00		
	<23:16>	Frequency Tuning Word<23:16>						0x00		
	<15:8>	Frequency Tuning Word<15:8>						0x00		
	<7:0>	Frequency Tuning Word<7:0>						0x00		
Profile 4 Register— QDUC (0x12)	<63:56>	CCI Interpolation Rate<7:2>						Spectral Invert	Inverse CCI Bypass	0x00
	<55:48>	Output Scale Factor<7:0>						0x00		
	<47:40>	Phase Offset Word<15:8>						0x00		
	<39:32>	Phase Offset Word<7:0>						0x00		
	<31:24>	Frequency Tuning Word<31:24>						0x00		
	<23:16>	Frequency Tuning Word<23:16>						0x00		
	<15:8>	Frequency Tuning Word<15:8>						0x00		
	<7:0>	Frequency Tuning Word<7:0>						0x00		
Profile 5 Register— Single Tone (0x13)	<63:56>	Open		Amplitude Scale Factor<13:8>						0x00
	<55:48>	Amplitude Scale Factor<7:0>						0x00		
	<47:40>	Phase Offset Word<15:8>						0x00		
	<39:32>	Phase Offset Word<7:0>						0x00		
	<31:24>	Frequency Tuning Word<31:24>						0x00		
	<23:16>	Frequency Tuning Word<23:16>						0x00		
	<15:8>	Frequency Tuning Word<15:8>						0x00		
	<7:0>	Frequency Tuning Word<7:0>						0x00		
Profile 5 Register— QDUC (0x13)	<63:56>	CCI Interpolation Rate<7:2>						Spectral Invert	Inverse CCI Bypass	0x00
	<55:48>	Output Scale Factor<7:0>						0x00		
	<47:40>	Phase Offset Word<15:8>						0x00		
	<39:32>	Phase Offset Word<7:0>						0x00		
	<31:24>	Frequency Tuning Word<31:24>						0x00		
	<23:16>	Frequency Tuning Word<23:16>						0x00		
	<15:8>	Frequency Tuning Word<15:8>						0x00		
	<7:0>	Frequency Tuning Word<7:0>						0x00		
Profile 6 Register— Single Tone (0x14)	<63:56>	Open		Amplitude Scale Factor<13:8>						0x00
	<55:48>	Amplitude Scale Factor<7:0>						0x00		
	<47:40>	Phase Offset Word<15:8>						0x00		
	<39:32>	Phase Offset Word<7:0>						0x00		
	<31:24>	Frequency Tuning Word<31:24>						0x00		
	<23:16>	Frequency Tuning Word<23:16>						0x00		
	<15:8>	Frequency Tuning Word<15:8>						0x00		
	<7:0>	Frequency Tuning Word<7:0>						0x00		
Profile 6 Register— QDUC (0x14)	<63:56>	CCI Interpolation Rate<7:2>						Spectral Invert	Inverse CCI Bypass	0x00
	<55:48>	Output Scale Factor<7:0>						0x00		
	<47:40>	Phase Offset Word<15:8>						0x00		
	<39:32>	Phase Offset Word<7:0>						0x00		
	<31:24>	Frequency Tuning Word<31:24>						0x00		
	<23:16>	Frequency Tuning Word<23:16>						0x00		
	<15:8>	Frequency Tuning Word<15:8>						0x00		
	<7:0>	Frequency Tuning Word<7:0>						0x00		

Register Name (Serial Address)	Bit Range (Internal Address)	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value
Profile 7 Register— Single Tone (0x15)	<63:56>	Open		Amplitude Scale Factor<13:8>						0x00
	<55:48>	Amplitude Scale Factor<7:0>								0x00
	<47:40>	Phase Offset Word<15:8>								0x00
	<39:32>	Phase Offset Word<7:0>								0x00
	<31:24>	Frequency Tuning Word<31:24>								0x00
	<23:16>	Frequency Tuning Word<23:16>								0x00
	<15:8>	Frequency Tuning Word<15:8>								0x00
	<7:0>	Frequency Tuning Word<7:0>								0x00
Profile 7 Register— QDUC (0x15)	<63:56>	CCI Interpolation Rate<7:2>						Spectral Invert	Inverse CCI Bypass	0x00
	<55:48>	Output Scale Factor<7:0>								0x00
	<47:40>	Phase Offset Word<15:8>								0x00
	<39:32>	Phase Offset Word<7:0>								0x00
	<31:24>	Frequency Tuning Word<31:24>								0x00
	<23:16>	Frequency Tuning Word<23:16>								0x00
	<15:8>	Frequency Tuning Word<15:8>								0x00
	<7:0>	Frequency Tuning Word<7:0>								0x00
RAM Register (0x16)	<31:0>	RAM Word<31:0>								
GPIO Configuration Register (0x18)	<15:0>	GPIO Configuration<15:0>								0x00
GPIO Data Register (0x19)	<15:0>	GPIO Data<15:0>								0x00